

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155555

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

G09G 3/22

G09G 3/20

(21)Application number : 11-253492

(71)Applicant : CANON INC

(22)Date of filing : 07.09.1999

(72)Inventor : KOBAYASHI TAMAKI
SUZUKI TOMOTAKE

(30)Priority

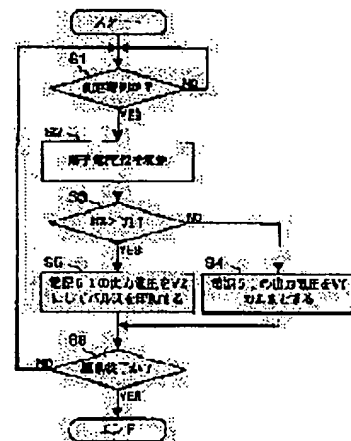
Priority number : 10261831 Priority date : 16.09.1998 Priority country : JP

(54) DRIVE METHODS OF ELECTRON EMISSION ELEMENT AND ELECTRON SOURCE AND IMAGE FORMING DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain stable electron emission characteristics for a long term by preventing an electron emission element from deteriorating in electron emission characteristics.

SOLUTION: When a voltage V_f is applied on an electron emission element, a current I_{f1} of the element flowing through the electron emission element is measured (S2), and when the voltage V_f is applied on the electron emission element after the measurement process, a current I_{f2} of the element flowing through the electron emission element is measured. Here, when the current I_{f2} of the element is larger than the current I_{f1} , a larger voltage V_2 than the voltage V_1 is applied (S5) on the electron emission element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(Kind of final disposal of application other than the examiner's decision of rejection or application converted registration)

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-155555

(P2000-155555A)

(43) 公開日 平成12年6月6日(2000.6.6)

(51) Int.Cl.	識別記号	F I	マークシート(参考)
G 0 9 G 3/22		G 0 9 G 3/22	H
3/20	6 7 0	3/20	6 7 0 J

審査請求 未請求 請求項の数10 O L (全 31 頁)

(21) 出願番号 特願平11-253492

(22) 出願日 平成11年9月7日(1999.9.7)

(31) 優先権主張番号 特願平10-261831

(32) 優先日 平成10年9月16日(1998.9.16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小林 玉樹

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 鈴木 朝岳

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100076428

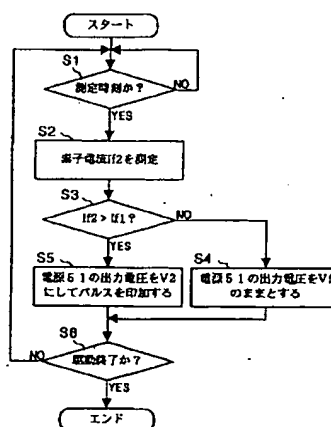
弁理士 大塚 康徳 (外2名)

(54) 【発明の名称】 電子放出素子の駆動方法及び、該電子放出素子を用いた電子源の駆動方法、並びに該電子源を用いた画像形成装置の駆動方法

(57) 【要約】

【課題】 電子放出素子の電子放出特性の劣化を防止し、長期に亘り安定した電子放出特性を維持させる。

【解決手段】 電子放出素子に電圧V1を印加した際に、その電子放出素子を流れる素子電流I1を測定し(S2)、その測定工程以降に、その電子放出素子に電圧V1を印加した際に、その電子放出素子を流れる素子電流I2を測定する。ここで、その素子電流I2がI1よりも大きい場合に、その電子放出素子に対し電圧V1よりも大きい電圧V2を印加する(S5)。



【特許請求の範囲】

【請求項1】 電子放出素子に電圧V1を印加した際に、該電子放出素子から放出される放出電流Ie1、及び又は該電子放出素子を流れる素子電流If1を測定する第一の測定ステップと、

前記第一の測定ステップ以降に、前記電子放出素子に電圧V1を印加した際に該電子放出素子から放出される放出電流Ie2、及び又は該電子放出素子を流れる素子電流If2を測定する第二の測定ステップと、

前記放出電流Ie2がIe1よりも大きい場合、及び又は前記素子電流If2がIf1よりも大きい場合に、前記電子放出素子に対し前記電圧V1よりも大きい電圧V2を印加する電圧印加ステップと、を有することを特徴とする電子放出素子の駆動方法。

【請求項2】 前記電圧印加ステップを実行した後、更に前記第一の測定ステップ、前記第二の測定ステップおよび前記電圧印加ステップを繰り返すことを特徴とする請求項1に記載の電子放出素子の駆動方法。

【請求項3】 前記電圧V2は、前記第一の測定ステップより前に前記電子放出素子に印加された最大電圧値Vmax以下であることを特徴とする請求項1に記載の電子放出素子の駆動方法。

【請求項4】 前記電子放出素子に印加する電圧は、パルス状の電圧であることを特徴とする請求項1乃至3のいずれか1項に記載の電子放出素子の駆動方法。

【請求項5】 電子放出素子にパルス状電圧を印加した際に、該電子放出素子から放出される放出電流Ie1、及び又は該電子放出素子を流れる素子電流If1を測定する第一の測定ステップと、

前記第一の測定ステップ以降に、前記パルス状電圧の波形と同一の波形を前記電子放出素子に印加した際に、該電子放出素子から放出される放出電流Ie2、及び又は該電子放出素子を流れる素子電流If2を測定する第二の測定ステップと、

前記放出電流Ie2がIe1よりも大きい場合、及び又は前記素子電流If2がIf1よりも大きい場合に、前記電子放出素子に対し前記第一の測定ステップで印加したパルスのパワーよりも大きいパワーを有するパルス状電圧を印加する電圧印加ステップと、を有することを特徴とする電子放出素子の駆動方法。

【請求項6】 前記電圧印加ステップで印加するパルス中の最大電圧値は、前記第一の測定ステップで印加されたパルス中の最大電圧値よりも大きいことを特徴とする請求項5に記載の電子放出素子の駆動方法。

【請求項7】 前記電圧印加ステップを行った後に、さらに前記第一の測定ステップ、前記第二の測定ステップおよび前記電圧印加ステップを繰り返すことを特徴とする請求項5に記載の電子放出素子の駆動方法。

【請求項8】 前記電圧印加ステップにおいて印加されるパルスのパワーは、前記第一の測定ステップより前

に、前記電子放出素子に印加された最大のパワー以下であることを特徴とする請求項5に記載の電子放出素子の駆動方法。

【請求項9】 電子放出素子を複数配列形成した電子源の駆動方法であって、

該電子放出素子が請求項5乃至8のいずれか1項に記載の方法によって駆動されることを特徴とする電子源の駆動方法。

【請求項10】 電子源と、画像形成部材とを有する画像形成装置の駆動方法であって、

前記電子源が請求項9に記載の方法によって駆動されることを特徴とする画像形成装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子の駆動方法、該電子放出素子を複数配列した電子源の駆動方法、および該電子源を用いた画像形成装置の駆動方法に関するものである。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。この内、冷陰極素子では、例えば表面伝導型放出素子や、電界放出型電子放出素子（以下、FE型と記す）や、金属／絶縁層／金属型電子放出素子（以下MIM型と記す）などが知られている。

【0003】表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)等が知られている。

【0004】この表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、エリンソン(Elinson)等によるSnO₂薄膜を用いたものがある。その他に、カーボン薄膜によるもの〔荒木久 他：真空、第26巻、第1号、22（1983）〕等が報告されている。

【0005】また、カーボン膜をコートした表面伝導型電子放出素子が、特許第02836015号に開示されている。

【0006】上述の素子は、構造が単純で製造も容易であることから、大面積にわたって多数素子を配列形成できる利点がある。

【0007】また、近年、液晶を用いた平板型表示装置がCRTに代って普及してきた。しかし、LCDは自発光型でないためバックライトを持たなければならない等の問題点がある。そのため、自発光型の表示装置の開発が望まれてきた。このような自発光型の表示装置としては、表面伝導型放出素子を多数配置した電子源と、この電子源から放出された電子によって可視光を発光させる蛍光体とを組み合わせた表示装置である画像形成装置が挙げられる。

【0008】

【発明が解決しようとする課題】カーボン膜をコートするタイプの素子の構成の一例を図20(a)(b)に示す。

【0009】同図において、1は基板、2、3は電極、4は導電性膜、6は第一の間隙、7は第二の間隙、10はカーボン膜である。

【0010】また、カーボン膜10をコートするタイプの素子の製造方法の一例を図21(a)～(d)に示す。

【0011】先ず、基板1上に電極2、3を配置する(図21(a))。そして電極2、3をつなぐ導電性膜4を配置する(図21(b))。次に、この導電性膜4に電流を流すことにより、導電性膜4の一部に、第一の間隙6を形成する(フォーミング工程と呼ぶ)(図21(c))。次に、例えば、有機物を含む雰囲気中で、電極2、3間に電圧を印加することでカーボン膜10を形成する(図21(d))。尚、このカーボン膜10の形成と同時に第二の間隙7が形成される。この工程により、第一の間隙6よりも狭い第二の間隙7を形成することができる。この第二の間隙7の近傍を電子放出部5と呼ぶ。また、上記カーボン膜10は、炭素、及び、あるいは炭素化合物を含む。

【0012】このように、フォーミング工程により形成した第一の間隙6よりも狭い間隙7を形成し、電子放出特性を向上させる工程を活性化工程と呼ぶ。尚、上記フォーミング工程により形成された間隙6により、充分な電子放出特性が得られるならば、上記活性化工程は、必ずしも必要としない。しかしながら、電子放出特性の安定性や、導電性膜に用いる材料の選択性の幅からは、上記活性化工程を行うことが好ましい。

【0013】上記各工程により形成された間隙を有する素子には、さらに安定化工程と呼ばれる工程を施すことが好ましい。この安定化工程は、具体的には、素子および素子を配置している容器を加熱することで、素子を取り巻く雰囲気中に存在する有機物質を、新たに炭素或は炭素化合物が堆積しない状態まで排除/排気する工程である。

【0014】以上の工程により形成された電子放出素子は、以下の様に駆動される。

【0015】即ち、上記安定化工程で形成した減圧雰囲気中で、電極2、3間に素子電圧(Vf)を印加し、同時に、素子の上方に配置されたアノード電極にアノード電圧(Va)を印加する。このように、電極2、3間に電圧Vfを印加した際に、電極2、3間に流れる電流を素子電流Ifと呼び、このとき素子から放出されてアノード電極に流れ込む電流を放出電流Ieと呼ぶ。

【0016】そして、測定条件によっても異なるが、上記素子の素子特性(Vfに対する放出電流Ieおよび素子電流Ifの関係)は、おおよそ図6に示すものとなる。

尚、図6におけるVthは、放出電流Ieが観測され始める素子電圧である。

【0017】そして、特開平8-96700号公報には、上記安定化工程を経た後の素子は、製造工程中および駆動中に印加された素子電圧Vfの最大電圧値(Vmax)に依存した、放出電流Ieおよび素子電流Ifがほぼ一義的に決まる特性(メモリ性)を維持し続けることが開示されている。

【0018】また、上記公開公報は更に、安定化工程以降の素子に対して、ある時点で印加する素子電圧が、それ以前に印加された素子電圧Vfの最大値(Vmax)を越える電圧である場合には、素子電圧Vfに対する放出電流Ieおよび素子電流Ifの関係及び素子特性が変化することを開示している。具体的には、上記最大素子電圧Vmaxで特徴付けられた素子特性から、上記Vmaxを越えた電圧で特徴付けられた素子特性に変化する(Vmax依存性)ことを開示している。

【0019】そして、上記公開公報では、この特性(メモリ性、Vmax依存性)を利用し、安定化工程後の素子の特性バラツキを補正することを開示している。

【0020】しかしながら、上記安定化工程で形成した雰囲気を維持すること、及び、上記安定化工程で望まれる雰囲気を形成することは難しい。このため、上記安定化工程での有機物質の除去が不十分であった場合などには、以下の問題①、②が生じる場合があった。

【0021】問題①：上記安定化工程後に長時間素子を駆動していると、最大電圧値(Vmax)で特徴付けられるはずの素子特性が変動することがあった。つまり、前述したメモリ性が失われる。また、素子電流If、放出電流Ieが不安定になる。このような現象は、新たな炭素或は炭素化合物が、電子放出素子の上記間隙6または間隙7の近傍に形成される、などして間隙近傍の構造的な変化が起っているためではないかと推測される。

【0022】上記①の具体的な現象としては、例えば、上記の最大電圧値(Vmax)よりも低い電圧値V1で素子を駆動している間に、電圧値V1で特徴付けられる特性(素子電圧に対する素子電流の特性、或は素子電圧に対する放出電流の特性)に徐々に移行してしまう。より具体的には、図6で示される素子電圧Vfに対する素子電流Ifおよび放出電流Ieのそれぞれの曲線が左側に移動する。この結果、同じ素子電圧Vfで駆動していても、素子電流If、放出電流Ieが増加してしまうと考えられる。

【0023】この現象は、複数の素子を共通した配線に接続する電子源の場合にいっそう問題となる。つまり、複数の素子が接続された配線は、それ自体ある抵抗値を持ち、各素子は素子電流Ifが流れる特性をもつ。このため、共通配線された素子の中の一つの素子Aが、上記特性変動(特に素子電流Ifの増加)を起こすと、隣接

する素子Bに印加される実効的な素子電圧が減少してしまう。従って、上記①の現象を加味すると、素子Bに印加される実効的な素子電圧 V_f が低下すれば、素子Bの特性の変動は、素子Aの特性変動よりも大きくなる。このように素子を共通して接続した場合には、連鎖的に各素子の特性変動が進んでしまう。

【0024】問題②：一方、上記最大電圧値(V_{max})で素子を駆動し続けると、素子電流 I_f 、放出電流 I_e が顕著に劣化することがあった。このような現象の理由の一つとしては、安定化工程で除去しきれずに残留した有機物質ガス、或いは上記駆動に関わる熱などにより、上記間隙6または間隙7の近傍の構造的な変化などが起っているためではないかと推測される。

【0025】素子を取り巻く雰囲気起因すると思われる素子特性変動を改善しようとする手段は、例えば、特開平9-50256号公報、特開平6-289813号公報、特開平6-289814号公報、特許第2598301号、特開平9-199006号公報などに開示されている。

【0026】また、上記①、②の現象から、最大電圧値(V_{max})で特徴付けられた、素子特性を維持するように、電圧値 V_1 で駆動中に、予め決めておいたインターバルで、定期的に上記最大電圧値(V_{max})を印加することも考えられる。

【0027】しかしながら、この場合には、不必要に最大電圧値(V_{max})が印加される場合がある。例えば、上記素子を多数配列した電子源を用いたフラットパネルディスプレイの場合には、表示する映像が常に変化するため、駆動される条件および頻度が素子毎に異なる。このため、全素子に対して、予め決めておいたインターバルで、定期的に最大電圧値(V_{max})を印加する場合には、特性が変動していない、或いは変動の程度が少ない素子に対しても最大電圧値(V_{max})が印加されてしまう。

【0028】このような場合には、前述した②のケースと同様に、長時間駆動するうちに、素子電流 I_f 、放出電流 I_e の顕著な劣化が生じる場合があった。

【0029】最大電圧値(V_{max})が印加されることにより、所定の駆動電圧値(V_f)に対する素子電流、放出電流の増大は抑えられる。しかし、その一方で、特性が変動していない、或いは変動の程度が少ない素子にとっては、必要としない最大電圧値(V_{max})が印加される実行時間が長い分、素子特性の劣化が支配的になる場合があった。

【0030】そこで、本発明は、上記問題点①、②に鑑みてなされたもので、電子放出特性の変動および劣化を抑制する電子放出素子の駆動方法及び、該電子放出素子を用いた電子源の駆動方法、並びに該電子源を用いた画像形成装置の駆動方法を提供することを目的とする。

【0031】

【課題を解決するための手段】上記目的を達成するために本発明の電子源の駆動方法は以下のような工程を備える。

【0032】電子放出素子に電圧 V_1 を印加した際に、該電子放出素子から放出される放出電流 I_{e1} 、及び又は、該電子放出素子を流れる素子電流 I_{f1} を測定する第一の測定ステップと、前記第一の測定ステップ以降に、前記電子放出素子に電圧 V_1 を印加した際に、該電子放出素子から放出される放出電流 I_{e2} 、及び又は該電子放出素子を流れる素子電流 I_{f2} を測定する第二の測定ステップと、前記放出電流 I_{e2} が I_{e1} よりも大きい場合、及び又は前記素子電流 I_{f2} が I_{f1} よりも大きい場合に、前記電子放出素子に対し前記電圧 V_1 よりも大きい電圧 V_2 を印加する電圧印加ステップと、を有することを特徴とする。

【0033】さらに、本発明の電子放出素子の駆動方法の別の態様としては、電子放出素子にパルス状電圧を印加した際に、該電子放出素子から放出される放出電流 I_{e1} 、及び又は該電子放出素子を流れる素子電流 I_{f1} を測定する第一の測定ステップと、前記第一の測定ステップ以降に、前記パルス状電圧の波形と同一の波形を前記電子放出素子に印加した際に、該電子放出素子から放出される放出電流 I_{e2} 、及び又は、該電子放出素子を流れる素子電流 I_{f2} を測定する第二の測定ステップと、前記放出電流 I_{e2} が I_{e1} よりも大きい場合、及び又は、前記素子電流 I_{f2} が I_{f1} よりも大きい場合に、前記電子放出素子に対し、前記第一の測定ステップで印加したパルスのパワー（電圧値を時間について積分した値）よりも大きいパワーを有するパルス状電圧を印加する電圧印加ステップとを有することを特徴とする。

【0034】また、本発明は、前記電圧印加ステップを行った後に、更に前記第一の測定ステップ、前記第二の測定ステップおよび前記電圧印加ステップを繰り返すことをも特徴とする。

【0035】また、本発明は、前記電圧 V_2 は、前記第一の測定ステップより前に、前記電子放出素子に印加された最大電圧値 V_{max} 以下であることをも特徴とする。

【0036】また、本発明は、前記電子放出素子に印加する電圧はパルス状の電圧であることをも特徴とする。

【0037】また、本発明は、前記電圧印加ステップにおいて印加されるパルスのパワーは、前記第一の測定ステップより前に、前記電子放出素子に印加された最大のパワー以下であることをも特徴とする。

【0038】さらに本発明は、電子放出素子を複数配列形成した電子源の駆動方法であって、該電子放出素子が、前記電子放出素子の駆動方法を用いて駆動されることを特徴とする。

【0039】さらに本発明は、電子源と、画像形成部材とを有する画像形成装置の駆動方法であって、該電子源が、前記電子源の駆動方法によって駆動されることを特

微とする。

【0040】以上述べた、本発明の駆動方法によれば、長時間素子を駆動していても、電子放出特性の変動が少なく、劣化も抑制された電子放出素子、電子源、画像形成装置を提供することができる。

【0041】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0042】本発明に適用し得る電子放出素子の基本的構成には大別して、平面型及び垂直型の2つがある。まず、平面型について説明する。

【0043】図1は、本発明に適用可能な平面型の電子放出素子の構成を示す模式図であり、図1(a)は平面図、図1(b)は断面図である。

【0044】図1において、1は基板、2と3は電極、4は導電性膜、5は電子放出部を示している。基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO₂を積層したガラス基板及びアルミナ等のセラミックス及びSi基板等を用いることができる。

【0045】また、対向する電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0046】電極2と3の間隔L、電極幅W1、導電性膜4の幅W2などの形状は、応用される形態等を考慮して適宜設計される。電極2、3の間隔Lは、好ましくは数百nmから数百μmの範囲とすることができ、より好ましくは数μmから数十μmの範囲とすることができる。電極2、3の長さW1は、これら電極2、3の抵抗値、電子放出特性を考慮して、数μmから数百μmの範囲とすることができる。また電極2、3の膜厚dは、数十nmから数μmの範囲とすることができる。尚、図1に示した構成だけでなく、基板1上に、導電性膜4、対向する電極2、3の順に積層した構成とすることもできる。

【0047】また導電性膜4の膜厚は、電極2、3へのステップガバレッジ、電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、0.1nmの数倍から数百nmの範囲とするのが好ましく、より好ましくは1nmより50nmの範囲とするのが良い。その抵抗値R_sは、10の2乗から10の7乗[Ω/□]の値である。尚、この抵抗値R_sは、厚さがt、幅がwで、長さがLの薄膜の抵抗Rを、 $R = R_s (L/w)$ とした時の抵抗値である。

【0048】本願明細書において、フォーミング処理に

ついては、通電処理を例に挙げて説明するが、本実施の形態のフォーミング処理はこれに限られるものではなく、導電性膜4に間隙6を生じさせる処理を包含するものである。

【0049】導電性膜4を構成する材料は、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pd等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物等の中から適宜選択される。

【0050】また、導電性膜4は良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。

【0051】ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態、或は微粒子が互いに隣接、或は重なり合った状態(いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む)をとっている。微粒子の粒径は、0.1nmの数倍から数百nmの範囲、好ましくは、1nmから20nmの範囲である。

【0052】尚、本願明細書では頻繁に「微粒子」という言葉を用いるので、以下にその意味について説明する。小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりも更に小さく原子の数が数百個程度以下のものを「クラスタ」と呼ぶことは広く行われている。

【0053】しかしながら、それぞれの境は厳密なものではなく、どのような性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0054】「実験物理学講座14表面・微粒子」(木下雄 編、共立出版1986年9月1日発行)では次のように記述されている。

【0055】「本稿で微粒子と言うときにはその直径がだいたい2~3μm程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2~3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十~数百個程度の場合はクラスタと呼ぶ。」(195ページ、22~26行目)。

【0056】付言すると、新技術開発事業団の「林・超微粒子プロジェクト」での「超微粒子」の定義は、粒径の下限は更に小さく、次のようなものであった。

【0057】「創造科学技術推進制度の“超微粒子プロジェクト”(1981~1986)では、粒子の大きさ(径)がおおよそ1~100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100~108個くらいの原子の集合体ということになる。原子の尺度でみれば超微粒

子は大～巨大粒子である。」(「超微粒子—創造科学技術—」林主税、上田良二、田崎明 編；三田出版1988年 2ページ、1～4行目)「超微粒子より更に小さいもの、即ち原子が数個～数百個で構成される1個の粒子は、ふつうクラスタと呼ばれる」(同書2ページ、12～13行目)。

【0058】上記のような一般的な呼び方をふまえて、本願明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は0.1nmの数倍から1nm程度、上限は数 μm 程度のものを指すこととする。

【0059】次に電子放出部5は、前述した活性化工程を必要としない素子の場合、導電性膜4の一部に形成された第一の間隙6の近傍を指す(図21(c))。また、前述した活性化工程を必要とする素子の場合、電子放出部5は、導電性膜4に形成された第一の間隙6よりも狭い、第二の間隙7の近傍を指す(図21(d))。

【0060】本実施の形態に係る駆動方法が好ましく適用することのできる素子は、図20及び図21などに示した様に、間隙6を対向する一対の導電性を有する膜4、または間隙7を対向する一対の導電性を有する膜(カーボン膜10)に、電位を印加することで、上記間隙6又は7近傍から電子を放出させるタイプの素子である。つまり、ナノメートル(nm)オーダの微少な間隙を置いて対向する一対の導電性膜に電圧を印加させるタイプの素子を減圧下で駆動する際に好ましく適用される駆動方法である。

【0061】尚、図1、図20中、間隙7、6および電子放出部5が、均一な幅で、かつ直線状に記されているが、これは、模式的に示したものである。実際の間隙の形状は、蛇行していたり、間隙7(及び、或いは間隙6)の幅(間隔)が場所によって変化していたりする場合がある。更には、間隙7(及び、或いは間隙6)の一部が繋がっている(導電性膜4及び或いはカーボン膜10同士が連続している)場合もある。しかし、上記繋がっている領域は非常に微少であるので、繋がっている部位も含めて、ここでは、間隙(7、6)と呼ぶ。

【0062】第一の間隙6は、導電性膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。

【0063】また、第二の間隙7は、後述する活性化条件に依存したものとなる。

【0064】電子放出部5の内部には、0.1nmの数倍から数十nmの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜4を構成する材料の元素の一部、或は全ての元素を含有するものとなる。

【0065】次に、垂直型の表面伝導型放出素子について説明する。図2は、垂直型の電子放出素子の一例を示す模式図である。尚、この図2において図1に示した部位と同じ部位には同一の符号を付している。さらに、電

子放出部5については、前述した平面型のそれと同様であるので説明を省略する。

【0066】基板1、電極2及び3、導電性膜4、電子放出部5は、前述した平面型の電子放出素子の場合と同様の材料で構成することができる。段差形成部材21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。この段差形成部材21の膜厚は、先に述べた平面型の電子放出素子の電極間隔Lに対応し、数十nmから数百 μm の範囲とすることができる。この膜厚は、段差形成部材21の製法、及び、電極2、3間に印加する電圧を考慮して設定されるが、数十nmから数十 μm の範囲が好ましい。

【0067】導電性膜4は、電極2及び3と段差形成部材21の作成後に、これら電極2、3の上に積層される。電子放出部5は、図2においては、段差形成部材21の側面に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものではない。

【0068】上述の電子放出素子の製造方法としては様々な方法があるが、その一例を図3(a)～(c)、図21(a)～(d)に模式的に示す。以下、図1及び図3、図20、図21を参照して、平面型の電子放出素子の製造方法の一例について説明する。尚、図3においても、図1に示した部位と同じ部位には同一の符号を付している。

【0069】(1)基板1を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により電極の材料を堆積した後、例えばフォトリソグラフィ技術を用いて基板1上に電極2、3を形成する(図3(a)、図21(a))。

【0070】(2)電極2、3を設けた基板1に、有機金属溶液を塗布して、有機金属薄膜を形成する。この有機金属溶液には、前述の導電性膜4の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。この有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、導電性膜4を形成する(図3(b)、図21(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0071】(3)続いてフォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。導電性膜4に、不図示の電源を用いて電流を流すと、導電性膜4の一部に電子放出部5が形成される(図3(c)、図21(c))。このフォーミング工程によって導電性膜4の一部に形成された第一の間隙6、およびその近傍が、電子放出部5を構成する。

【0072】尚、前述した活性化工程を必要とする素子の場合には、次の活性化工程を経ることにより、電子放

出部5が形成される。

【0073】通電フォーミングの電圧波形の例を図4(a)(b)に示す。

【0074】このフォーミング工程で印加する電圧波形はパルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図4(a)に示した方法と、図4(b)に示すように、パルス波高値を増加させながら電圧パルスを印加する方法とがある。

【0075】これら図4(a)(b)におけるT1及びT2は、それぞれ電圧波形のパルス幅とパルス間隔を示している。通常T1は1 μ 秒～10m秒、T2は10 μ 秒～100m秒の範囲で設定される。この矩形波の波高値(通電フォーミング時のピーク電圧)は、電子放出素子の形態に応じて適宜選択される。このような条件の下で、例えば、数秒から数十分間電圧を印加する。尚、このパルス波形は矩形波に限定されるものではなく、所望の波形を採用することができる。

【0076】また図4(b)におけるT1及びT2は、図4(a)に示したのと同様とすることができる。また図4(b)において、矩形波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1[V/ステップ]程度ずつ増加させることができる。

【0077】この通電フォーミング処理の終了は、パルス間隔T2中に導電性膜4を局所的に破壊、変形しない程度の電圧を印加し、その時に素子を流れる素子電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電流を測定し、その時の抵抗値を求める。この抵抗値が1M Ω 以上の抵抗を示した時に、この通電フォーミングを終了する。

【0078】(4)続いて、前述した活性化工程を必要とする素子には、活性化工程を施す。この工程は、例えば、有機物質のガスを含有する雰囲気下で、上記フォーミング工程と同様に、パルス電圧の印加を繰り返す。尚、活性化工程で素子に印加される電圧値は、前述のフォーミングで印加される電圧値よりも高いことが望ましい。

【0079】この工程により、第一の間隙6の内側および、導電性膜4上にカーボン膜10が形成されるのと同時に、第二の間隙7が形成される。この工程により、電子放出部5が形成される(図21(d))。尚、図21(d)に示した様な、間隙7を挟んで略対称にカーボン膜10を形成するには、印加するパルス波形を図22(a)、(b)に示したような両極性のパルスにする必要がある。

【0080】上記有機物質のガスを含有する雰囲気は、例えば油拡散ポンプやロータリポンプなどを用いて真空容器内を排気した場合に、雰囲気内に残留する有機ガスを利用して形成することができる。また、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの

好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じて適宜設定される。

【0081】また適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることができ、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロヒオン酸等或はこれらの混合物が使用できる。この処理により、ガス雰囲気中に存在する有機物質から、カーボン膜10(炭素或は炭素化合物)が第一の間隙6の近傍に形成され、所定の駆動電圧に対する素子電流If、放出電流Ie特性が著しく変化ようになる。この活性化工程の終了判定は、素子電流Ifと放出電流Ieを測定しながら適宜行う。尚、印加するパルス幅T1、パルス間隔T2、パルス波高値などは適宜設定される。

【0082】この活性化工程で、形成されるカーボン(炭素及び或は炭素化合物)とは、例えばグラファイト(いわゆるHOPG、PG、GCを包含する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れが更に大きくなったものを指す)、非晶質カーボン(アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す)である。また、カーボン膜10の膜厚は1nm以上50nm以下の範囲とするのが好ましく、1nm以上30nm以下の範囲とすることがより好ましい。

【0083】(5)このような工程を経て得られた電子放出素子は、その後、更に安定化工程を行うことが好ましい。この安定化工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、排気装置から発生するオイルが素子の特性にあまり影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソープションポンプ、イオンポンプ等の真空排気装置を挙げることができる。

【0084】前述した活性化工程で、排気装置として油拡散ポンプやロータリポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合は、この成分の分圧を極力低く抑える必要がある。更に真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気し易くするのが好ましい。このときの加熱条件は、80～250℃が好ましく、より好ましくは150℃以上

で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれた条件により行う。この真空容器内の圧力は極力低くすることが必要で、 1×10 のマイナス5乗 [Pa] 以下が好ましく、更に 1.3×10 のマイナス6乗 [Pa] 以下が特に好ましい。

【0085】(6) こうして安定化工程を行った後、実際の駆動時における雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましい。

【0086】上述した工程を経て得られた本実施の形態に適用可能な電子放出素子の基本特性について図5及び図6を参照して説明する。

【0087】図5は、本実施の形態に係る電子放出素子の駆動方法を実践するための機能および、素子特性の測定評価機能を備えた真空処理装置の一例を示すブロック図である。なお、前述の図面と共通する部分は同じ番号で示し、それらの説明を省略する。

【0088】図5において、50は電流計で、電極2、3間の導電性膜4を流れる素子電流Ifを測定するのに使用される。51は電源で、電子放出素子の電極2、3間に電圧を印加している。52は電流計で、素子の電子放出部5より放出される放出電流Ieを測定するのに使用される。53はアノード電極54に電圧を印加するための高圧電源、54は素子の電子放出部5より放出される電子を捕捉するためのアノード電極、55は真空装置、56は排気ポンプである。57は素子電流監視コントローラで、電流計50で素子電流Ifの増加を検出すると、電源51から出力される電圧を電圧V2にするように電源51に指示を与えるように動作する。58は放出電流監視コントローラで、電流計52で放出電流Ieの増加を検出すると、電圧V2を印加するように電源51に指示を与える。ここでは一例として、アノード電極54の電圧Vaを1kV~10kVの範囲とし、アノード電極54と電子放出素子との間の距離Hを2mm~8mmの範囲として測定を行うことができる。

【0089】この真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ56は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と、更にイオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒータにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0090】図6は、図5に示した真空処理装置を用いて測定された放出電流Ie、素子電流Ifと素子電圧Vfの関係を示した模式的なグラフ図である。図6においては、放出電流Ieが素子電流Ifに比べて著しく小さいの

で任意単位で示している。尚、図6において、縦及び横軸ともリニアスケールで示している。

【0091】図6において、素子電圧Vfに対して素子電流Ifが単調増加する(MI特性)例を実線で示した。これとは逆に素子電流Ifが素子電圧Vfに対して電圧制御型負性抵抗特性(VCNR特性)を示す場合もある(不図示)が、本実施の形態の駆動方法を採用可能な素子特性は、上述の素子電流Ifが素子電圧Vfに対して単調増加するMI特性を示す場合である。

【0092】ここで本実施の形態に係る電子放出素子は、放出電流Ieに関して、次に示す3つの特徴的性質を有する。

【0093】即ち、

(i) ある電圧(閾値電圧(図6のVth)以上の素子電圧を印加すると急激に放出電流Ieが増加し、一方、閾値電圧Vth以下では放出電流Ieがほとんど検出されない。つまり放出電流Ieに対する明確な閾値電圧Vthを持った非線形素子である。

【0094】(ii) 放出電流Ieが素子電圧Vfに応じて単調増加依存するため、放出電流Ieは素子電圧Vfで制御できる。

【0095】(iii) アノード電極54に捕捉される放出電荷は、素子電圧Vfを印加する時間に依存する。つまりアノード電極54に捕捉される電荷量は、素子電圧Vfを印加する時間(パルス幅)により制御できる。

【0096】以上の説明より理解されるように、本実施の形態に係る電子放出素子は、入力信号に応じて電子放出特性を容易に制御できる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能である。

【0097】さて、前述のフォーミング工程及び、或いは活性化工程を経た後の安定化工程で、排気ポンプ56による排気が不十分であったり、或は不図示のヒータによるバークが不十分である場合には、有機物質の排除が不完全となる。その結果、既に説明した通り、上述のMI特性を示すものの、長時間駆動している内に、電子放出素子の電子放出特性が変化する。

【0098】これにより、前述した素子に印加された最大電圧値(Vmax)で特徴付けられた電圧-素子電流、或は電圧-放出電流の特性が記憶されるメモリ性が失われる。また、所定の素子電圧Vfに対する素子電流If、放出電流Ieの特性が不安定になってしまう。

【0099】尚、上記最大電圧値(Vmax)とは、活性化工程を行った素子の場合には、活性化工程で素子に印加した最大電圧値とみなすことができる。

【0100】また、上記「メモリ性が失われる」とは、例えば、上記安定化工程以降に、上記の最大電圧値(Vmax)よりも低い電圧Vfで素子を駆動すると、その電圧Vfで特徴付けられる電圧-素子電流(或は電圧-放出電流)の特性に移行していき、その結果、素子電流I

f、放出電流 I_e が増大するような変動が生じることを指す。

【0101】そこで、本実施の形態に係る駆動方法は、このような状況においても素子電流 I_f 、放出電流 I_e の増大による時間的な特性の変動を効果的に抑制することができる。

【0102】尚、本実施の形態に係る「駆動」、「駆動方法」とは、電子放出素子を製造し終えた後に、素子に電圧を印加する工程を意味する。例えば、上記活性化工程を行う素子においては、前記したフォーミング工程、活性化工程及び安定化工程を終えることで、電子放出素子の製造工程が終了する。

【0103】以下に、本実施の形態に係る駆動方法の一例を述べる。

【0104】例えば、上記安定化工程後に、電圧値の異なるいくつかの測定電圧 V_1 を素子に印加する。そして、その測定電圧 V_1 に対して計測される初期素子電流 I_{f1} を測定して、メモリなどに記憶しておく（第一の測定工程）。尚、上記測定電圧 V_1 は、前記最大電圧 V_{max} 以下の電圧であり、好ましくは、駆動時に用いる電圧 V_f である。

【0105】尚、電子放出素子からの放出電子量を、素子に印加するパルス状電圧のパルス幅で制御する駆動方法の場合には、駆動電圧 V_f は一定となる。そのため、上記測定電圧 V_1 は、前記駆動電圧値 V_f と同一に設定して、初期素子電流 I_{f1} を測定および記憶させておくことが好ましい。

【0106】一方、電子放出素子からの放出電子量を、素子に印加するパルス状電圧のパルス波高値で制御する駆動方法の場合には駆動電圧 V_f が変化する。そのため、前述したように、上記測定電圧 V_1 は、電圧値の異なるいくつかの測定電圧に設定して、初期素子電流 I_{f1} を計測及び記憶させておくことが好ましい。

【0107】しかし、波高値で制御する場合にも、パルス幅で制御する場合と同様に、ある一つの測定電圧値 V_1 のみに対する素子電流を初期素子電流 I_{f1} としても良い。

【0108】尚、波高値（電圧値）で放出電子量を制御して駆動を行う場合においても、その駆動電圧 V_f は前述の最大電圧値（ V_{max} ）よりも低い値に設定して駆動される。ここで、素子の製造工程において、活性化工程以降に素子に電圧を印加しない場合には、活性化工程で素子に印加した最大電圧値が上記 V_{max} に相当する。

【0109】そして、上記第一の測定工程後に、電子放出素子の駆動を始める。

【0110】そして、素子を駆動している際に、常に、或いは予め決めておいたインターバルにおいて定期的に、素子電流を電流計 50 により計測する（第二の測定工程）。尚、素子特性変動の有無は、上記第一の測定工程で印加した測定電圧 V_1 と同一の電圧値を、素子に印

加した際の素子電流 I_{f2} で判断される。

【0111】そして、素子電流監視コントローラ 57 により、上記第二の測定工程において観測された素子電流 I_{f2} が、上記初期素子電流 I_{f1} に比べて、所定の値（好ましくは、初期素子電流の 5% 以上素子電流が上昇している場合であり、更に好ましくは初期素子電流の 3% 以上素子電流が上昇している場合である）に達したと観測された時点で、以下の A 又は B の特性回復駆動（電圧印加工程）を行う。

【0112】最も単純なケースでは、上記初期素子電流 I_{f1} に比べ、上記第二の測定工程で観測された素子電流 I_{f2} が増えたと判断された場合には、下記の特性回復駆動（電圧印加工程）を行えば良い。

【0113】特性回復駆動法 A：上記第一の測定工程以前（素子の製造工程も含める）に、素子に印加された最大電圧値 V_{max} と同じかそれよりも低く、且つ、素子の駆動電圧 V_f よりも高い電圧 V_2 を適当な時間印加するように電源 51 に指示を与える。

【0114】また、上述したように、素子からの放出電子量を素子に印加するパルス波高値で制御する場合には、駆動時に素子に印加される電位 V_f は一定ではない。そのため、素子に印加するパルス波高値で制御する場合には、上記電圧 V_2 は、予め決めておいた素子の駆動電圧値 V_f の範囲の中で最も高い電圧値よりも、更に高いものとするのが好ましい。

【0115】特性回復駆動法 B：上記第一の測定工程以前（素子の製造工程も含める）に、素子に印加された最大のパワー： P_{max} 以下で、上記第一の測定工程で素子に印加していたパワー： P_1 以上のパワー： P_2 を素子に印加するように電源 51 に指示を与える。

【0116】尚、パルス状電圧を印加することで素子を駆動していた場合には、上記「パワー」とは、1 パルスの波形の面積（1 パルス中で印加される電圧値の時間に対する積分値）を指す。定電圧の矩形波パルスならば、「パワー」は、パルスの（波高値×パルス幅）に相当する。但し、低い電圧を長くかけるよりは、上記第一の測定工程で印加した測定電圧 V_1 よりも高い電圧 V_2 を短時間印加する方が好ましい。

【0117】このため、上記 A と B の両方の要素を持つパルスを素子に印加することがより好ましい。つまり、上記第一の測定工程で印加したパルスのパワー以上のパワーで、かつ、上記第一の測定工程で印加した電圧 V_1 よりも高い電圧 V_2 の波高値をもつパルスを印加することがより好ましい。

【0118】また、この場合においても、上記した様に、素子からの放出電子量を、素子に印加するパルス波高値で制御する場合には、駆動時に素子に印加される電位 V_f は一定ではない。そのため、素子に印加するパルス波高値で制御する場合には、上記電圧 V_2 は、予め決めておいた素子の駆動電圧値 V_f の範囲の中で最も高い

電圧値よりも、更に高いものとするのが好ましい。

【0119】こうして、素子に電圧V2、及び又は、パワー：P2が印加されることにより、素子特性の変動を抑制することができる。

【0120】その結果、電圧V2で特徴付けられる素子特性にリフレッシュ（変化）させることができる。このリフレッシュの機構は、電子放出部5の近傍に、新たに堆積した炭素或は炭素化合物が、完全に或は部分的に除去されることによるものと考えられる。

【0121】尚、上記特性回復駆動を行った後は、素子の駆動電圧は通常の駆動電圧Vfに戻される。

【0122】上記特性回復駆動により、電圧V2で特徴付けられる電圧-素子電流特性における、電圧Vfに対応した素子電流を得ることができる。その結果、上記特性回復駆動を行う前に観測された素子電流の上昇が抑えられる。

【0123】その後、再度、上記した第一の測定工程、第二の測定工程、電圧印加工程（特性回復駆動）を行う。

【0124】これら一連のプロセスを素子電流Ifの上昇が測定される度に繰り返すことにより、素子電流Ifの時間変動を効果的に抑制することが可能となる。

【0125】また、上記第一の測定工程を一度行えば、上記電圧印加工程（特性回復駆動）を行った後は、第一の測定工程を行わなくても良い。つまり、第一の測定工程→第二の測定工程→電圧印加工程→第二の測定工程→電圧印加工程→第二の測定工程→電圧印加工程、……のように、1度電圧印加工程（特性回復駆動）を行った後は、第二の測定工程と電圧印加工程（特性回復駆動）を繰り返し行うだけに行うことができる。

【0126】2回目以降の第二の測定工程で計測される素子電流If2及び又は放出電流Ie2も、最初に行った第一の測定工程で計測される素子電流If1、及び又は放出電流Ie1と比較することで、上記した特性回復の要否判断が行える。

【0127】また、電圧印加工程（特性回復駆動）の後に、第一の測定工程をその都度行う場合には、第一の測定工程で得られる値（If1、Ie1）自体が変動する恐れがある。そのため、第一の測定工程は、一度だけ行い、この値を、第二の測定工程を行う度に得られる値（If2、Ie2）と比較するのが望ましい。

【0128】更に、上記特性回復駆動において、素子がパルス電圧で駆動される場合には、例えばアノード電極54に捕捉される放出電荷量が時間的に変動しないように、電圧V2の印加タイミングとそのパルス幅を変えるようにすることが好ましい。

【0129】尚、以上説明した本実施の形態に係る駆動方法は、素子電流を監視（第一および第二の測定工程）して特性回復駆動（電圧印加工程）を行うものである。しかし、放出電流監視コントローラ58により放出電流

の増加を検知した場合に電源51に指示を与え、上記特性回復駆動（電圧印加工程）を行うこともできる。その場合には、上記初期素子電流If1の測定と同様にして、初期放出電流Ieを前記第一の測定工程とすればよい。

【0130】また、素子電流監視コントローラ57と放出電流監視コントローラ58とを併用して使用し、上記同様の制御を行うことも可能である。

【0131】素子電流と放出電流のどちらか一方が予め設定しておいた閾値以上に増加したときに上記制御を行うか、或は両方がある閾値以上に増加したときに制御を行うようにすれば良い。

【0132】いずれにしても、本実施の形態に係る駆動方法によれば、必要に応じて上記電圧V2、及び又は上記パワーP2が印加される。このため、予め決めておいたインターバルで、駆動電圧Vfよりも高い電圧を印加する方法に比べて、素子特性の劣化を極力抑えて、長時間安定して素子を駆動することが可能となる。

【0133】図7は、本実施の形態の一例である素子電流監視コントローラ57による処理を示すフローチャートである。尚、ここでは、電子放出素子からの放出電流Ieの制御（駆動）をパルス幅で制御する場合（駆動電圧Vfは一定）について述べる。

【0134】まずステップS1で、測定時刻のタイミングかどうかを判定する。測定のタイミングである場合はステップS2に進み、電流計50により素子電流If2を測定する（第二の測定工程）。そして、その測定された素子電流If2の値を入力する。

【0135】次にステップS3に進み、その入力した素子電流If2の値が所定の電流If1（前述した予め計測しておいた「初期素子電流」）よりも大きいかどうかを判断する。このステップS3では、好ましくは、第二測定工程で測定した素子電流If2が、予め計測しておいた「初期素子電流If1」よりも5%以上大きいと判断された場合にステップS5（前述の特性回復駆動）に進むのが好ましい。また或いは、第二測定工程で測定した素子電流If2が、予め計測しておいた「初期素子電流If1」よりも3%以上大きいと判断された場合にステップS5（前述の特性回復駆動）に移行するのが更に好ましい。

【0136】ステップS3で、素子電流If2がIf1よりも大きいときはステップS5に進み、電源51の出力電圧値を前述した電圧V2に、又は出力パワーを前述したパワーP2にして、電源51からパルス電圧信号を発生させて素子に印加するように制御する（前述の特性回復駆動を行う）。一方、ステップS4で、素子電流If2の値が所定の電流If1以下のときはステップS4に進み、電源51の出力電圧値の変更は行わない（前述の特性回復駆動は行わない）。

【0137】尚、放出電流監視コントローラ58の場合にも同様にして、ステップS3で、放出電流Ie2の値が所定の放出電流Ie1よりも大きいかどうかを判断し、大

きいときはステップS5に、放出電流 I_{e1} 以下のときはステップS4に進むようにすることにより同様に制御できる。また、前述の特性回復駆動を、放出電流 I_e の増加に基づいて行う場合においても、第二測定工程で測定した素子電流 I_{e2} が、「初期放出電流 I_{e1} 」よりも5%以上大きいと判断された場合にステップS5（前述の特性回復駆動）に移行することが好ましい。さらには、「初期放出電流 I_{e1} 」よりも3%以上大きいと判断された場合にステップS5（前述の特性回復駆動）に移行することが、より好ましい。

【0138】以上述べた特性回復駆動を駆動中に行うことによって、電子放出特性変動の少ない、長時間に亘り安定な電子放出素子が得られる。尚、ここでは、第二の測定工程を、一定期間毎に行う例を示したが、素子に駆動電圧 V_f を印加する都度、第二の測定工程を行っても良い。

【0139】次に、本実施の形態に係る駆動方法が適用可能な電子放出素子の応用例について以下に述べる。本実施の形態の電子放出素子を複数個基板上に配列することにより、例えば電子源或は画像形成装置が構成できる。

【0140】これら電子放出素子の配列については種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子型の配置のものがある。これとは別に、電子放出素子をx方向及びy方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方をx方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方をy方向の配線に共通に接続するものが挙げられる。このようなものを単純マトリクス配置と呼ぶ。まず単純マトリクス配置について以下に詳述する。

【0141】本実施の形態に適用可能な電子放出素子については、前述したとおり(i)乃至(iii)の特性がある。即ち、電子放出素子からの放出電子は、印加される素子電圧が閾値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、閾値電圧以下では殆ど電子が放出されない。このような特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて表面伝導型放出素子を選択して電子放出量を制御できる。

【0142】以下、この原理に基づいて、本実施の形態の電子放出素子を複数配して得られる電子源基板について図8を用いて説明する。図8は、これら電子放出素子をマトリクス状に配列した電子源の平面図である。

【0143】図8において、71は電子源基板、72は

x方向配線、73はy方向配線である。74は電子放出素子、75は結線である。尚、これら電子放出素子74は、前述した平面型或は垂直型のどちらであってもよい。

【0144】m本のx方向配線72は、 D_{x1} , D_{x2} , ..., D_{xm} からなり、これら配線は真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。またこれら配線の材料、膜厚、巾は、適宜設計される。またy方向配線73は、 D_{y1} , D_{y2} , ..., D_{yn} のn本の配線よりなり、x方向配線72と同様に形成される。これらm本のx方向配線72とn本のy方向配線73の間には不図示の層間絶縁層が設けられており、この絶縁層により両者を電氣的に分離している（m, nは、共に正の整数）。

【0145】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、x方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、x方向配線72とy方向配線73の交差部の電位差に耐え得るように、それらの膜厚、材料、製法が適宜設定される。x方向配線72とy方向配線73は、それぞれ外部端子として引き出されている。また、これら電子放出素子74を構成する一対の電極（図1の2, 3）のそれぞれは、m本のx方向配線72の1つ、n本のy方向配線73の1つに、それぞれ導電性金属等からなる結線75によって電氣的に接続されている。

【0146】これらx方向配線72とy方向配線73を構成する材料、及び結線75を構成する材料及び一対の素子電極2, 3を構成する材料は、その構成元素の一部或は全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の電極2, 3の材料より適宜選択される。ここで電極2, 3を構成する材料と、これら配線72, 73, 75の材料とが同一である場合には、電極2, 3に接続された配線は電極ということもできる。

【0147】またx方向配線72には、x方向に配列した電子放出素子74の各行を選択するための走査信号を印加する走査信号印加手段（例えば図13の走査回路102）が接続される。一方、y方向配線73には、y方向に配列した電子放出素子74の各列を入力信号に応じて変調するための変調信号発生手段（例えば、図13の変調回路107）が接続される。そして、各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0148】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0149】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図9乃至図13を参照して説明する。

【0150】図9は、本実施の形態に係る画像形成装置の表示パネル101の一例を示す模式図、図10(a)

(b)は図9の画像形成装置に使用される蛍光膜の模式図である。図11は、画像形成装置の製造装置の構成を示す図、図12はフォーミング、活性化工程のための結線図、そして図13は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【0151】図9において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、この支持枠82には、リアプレート81、フェースプレート86が低融点のフリットガラスなどを用いて接合される。74は電子放出素子で、図1や図20に示す電子放出素子に相当する。72、73のそれぞれは、電子放出素子の一对の電極と接続されたx方向配線とy方向配線である。

【0152】外囲器88は上述の如く、フェースプレート86、支持枠82、リアプレート81を具備している。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81を不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成しても良い。一方、フェースプレート86、リアプレート81間にスペーサとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0153】図10(a)(b)は、蛍光膜の配列を示す模式図である。

【0154】蛍光膜84は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプ或はブラックマトリクスなどと呼ばれる黒色導電材91と蛍光体92とから構成することができる。これらブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる3原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくするためと、蛍光膜84における外光反射によるコントラストの低下を抑制するためである。このブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり光の透過及び反射が少ない材料を用いることができる。

【0155】またガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。この蛍光膜84の内面側には、通常メタルバック85が設けられる。このメタルバック85を設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射させることにより輝度を

向上させるため、電子加速電圧を印加するための電極として作用させるため、外囲器88内で発生した負イオンの衝突によるダメージから蛍光体92を保護するため等である。このメタルバック85は、蛍光膜84の作成後、蛍光膜84の内面側表面の平滑化処理(通常、「フィルミング」と呼ばれる)を行い、その後、アルミニウム(Al)を真空蒸着等を用いて堆積させることで作成できる。

【0156】尚、フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極(不図示)を設けてもよい。

【0157】前述の外囲器88の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0158】次に図9に示した表示パネル101の製造方法の一例を以下に説明する。

【0159】図11はこの製造方法を実行する製造装置の概要を示すブロック図である。

【0160】この外囲器88は、排気管132を介して真空チャンバ133に連結され、更にゲートバルブ134を介して排気装置135に接続されている。この真空チャンバ133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重極質量分析器137等が取り付けられている。この表示パネル101の外囲器88内部の圧力などを直接測定することは困難であるため、この真空チャンバ133内の圧力などを測定し、処理条件を制御する。この真空チャンバ133には、更に必要なガスを真空チャンバ133内に導入して雰囲気を制御するためのガス導入ライン138が接続されている。このガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンプルやボンベなどに入れて貯蔵されている。また、このガス導入ライン138の途中には、導入物質を導入するレートを制御するためのガス導入制御手段139が設けられている。このガス導入制御手段139としては、具体的にはスローリークバルブなど流す流量を制御可能なバルブや、マスフローコントローラなどが、導入物質の種類に応じて、それぞれ使用可能である。

【0161】この図11に示す製造装置により、外囲器88の内部を排気し、通電フォーミングを行う。この際、例えば図12に示すように、y方向配線73を共通電極141に接続し、x方向配線72の内の一つに接続された素子に電源142によって、同時に電圧パルス印加して前述のフォーミングを行うことができる。この電圧パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数のx方向配線72に、位相をずらせたパルスを順次印加(スクロール)することにより、複数のx方向配線72に接続された素子をまとめてフォーミングすることも可能である。図12におい

て、143は電流測定用抵抗を、144は、電流測定用のオシロスコープを示す。なお、このフォーミング終了後、前述した活性化工程を必要とするタイプの素子には、前記活性化工程を行う。

【0162】この活性化工程においては、外囲器88内は、十分に排気した後、有機物質がガス導入ライン138から導入される。或は、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。このようにして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加する。これにより、炭素或は炭素化合物、或は両者の混合物が、フォーミングで形成した間隙6内および間隙6の近傍の導電性膜上に堆積され、所定電圧に対する電子放出量がドラスティックに上昇する。このときの電圧の印加方法は、上記フォーミングの場合と同様の結線により、一つのx方向配線に接続された素子に同時に電圧パルス印加すればよい。

【0163】この活性化工程終了後は、個別素子の場合と同様に安定化工程を行うことが好ましい。この安定化工程では、外囲器88を加熱して、80～250℃に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置135によりの排気管132を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナで熱して溶融させて封じきる。外囲器88の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器88の封止を行う直前或は封止後に、抵抗加熱或は高周波加熱等を用いた加熱により、外囲器88内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。このゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、外囲器88内の雰囲気を維持するものである。

【0164】次に、単純マトリクス配置の電子源を用いて構成した表示パネル（フラットパネルディスプレイ）に、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について図13を参照して説明する。

【0165】図13において、101は前述した表示パネル（外囲器88）、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、VxおよびVaは直流電圧源である。表示パネル101は、前述したように行（x方向）端子Dox1乃至Doxm、列（y方向）端子Doy1乃至Doy_n、及び高圧端子Hvを介して外部の電気回路と接続されている。行端子Dox1乃至Doxmには、表示パネル101に設けられている電子源、即ち、m行n列の行列状にマトリクス配線された電子放出素子群を一行（n素子）ずつ順次駆動す

るための走査信号が印加される。

【0166】一方、列端子Dy1乃至Dynには、走査信号により選択された一行の電子放出素子の各素子の出力電子を制御するための、画像信号に応じた変調信号が印加される。また高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧がフェースプレート86（図5のアノード電極54に相当）に供給されるが、これは電子放出素子から放出される電子に蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0167】次に、走査回路102について説明する。この走査回路102は、内部にm個のスイッチング素子を備えたもので（図中、S1乃至Smで模式的に示している）ある。これらスイッチング素子のそれぞれは、直流電圧源Vxの出力電圧もしくは0V（グランドレベル）のいずれか一方を選択し、表示パネル101の行端子Dx1乃至Dxmと電気的に接続している。これらS1乃至Smの各スイッチング素子は、制御回路103が出力する制御信号Tscan（水平同期信号）に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0168】直流電圧源Vxは、本実施の形態の場合には、表面伝導型放出素子の特性（電子放出閾値電圧）に基づいて、選択されていない行配線に印加される電圧を発生しており、走査されていない素子に印加される駆動電圧（変調信号の差電圧）が、電子放出素子の放出閾値電圧（Vth）以下となるような一定電圧を出力するように設定されている。

【0169】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に対して水平同期信号Tscan、シフトクロックTsft、およびメモリラッチ信号Tmryなどの各制御信号を発生する。

【0170】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルタ）回路等を用いて構成できる。この同期信号分離回路106により分離された同期信号Tsyncは垂直同期信号と水平同期信号を含むが、ここでは説明の便宜上、Tsync信号として図示した。またNTSCのテレビ信号から分離された画像の輝度信号成分は便宜上DATA信号として表した。このDATA信号はシフトレジスタ104に入力される。

【0171】このシフトレジスタ104は、時系列的にシリアルに入力されるDATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックとして機能している）。こうしてシリア

ル／パラレル変換された1ライン分（電子放出素子 n 素子分の駆動データに相当）の画像データは、 $ld1$ 乃至 ldn の n 個の並列信号としてシフトレジスタ104よりラインメモリ105に出力される。ラインメモリ105は、1ライン分の画像データを必要時間の間だけ記憶するための記憶回路であり、制御回路103より送られる制御信号 $Tmry1$ に従って、適宜、1ライン分の画像データ $ld1$ 乃至 ldn を記憶する。こうしてラインメモリ105に記憶された内容は、画像データ $l'd1$ 乃至 $l'dn$ として出力され、変調信号発生器107に入力される。

【0172】変調信号発生器107は、画像データ $l'd1$ 乃至 $l'dn$ の各々に応じて電子放出素子の各々を適切に駆動変調するための信号源であり、その出力信号は、列端子 $Doy1$ 乃至 $DoyN$ を通じて表示パネル101の電子放出素子に印加される。

【0173】尚、本実施の形態における駆動電圧波形の切換（前述の特性回復駆動）は、この変調信号発生器107により行われても良い。即ち、この変調信号発生器107がパルス幅変調による変調を行う場合には、その出力するパルス電圧の波形値を通常の駆動時には電圧 Vf に設定する。そして、前述の素子電流監視コントローラ57或は放出電流監視コントローラ58で、素子電流 I_f 或いは放出電流 I_e が所定値以上に増大したことが検知されると、制御回路103を介して変調信号発生器107における出力電圧が前述した電圧 $V2$ 又はパワー $P2$ になるように制御すればよい。これにより、変調信号パルスがその電圧値に置換もしくは重畳される。

【0174】この変調方式についてより詳しく説明すると、前述したように、本実施の形態に適用可能な電子放出素子は、放出電流 I_e に対して以下の基本特性を有している。即ち、電子放出には明確な閾値電圧 V_{th} があり、閾値電圧 V_{th} 以上の電圧を印加された時のみ電子放出が生じる。この電子放出閾値電圧以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値電圧以上の電圧を印加する場合には電子が出力される。その際、パルスの波高値 V_m を変化させることにより出力される電子の量を制御することが可能である。また、パルス幅 P_w を変化させることにより、出力される電子の総量を制御することが可能である。従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。

【0175】この電圧変調方式を実施するに際しては、変調信号発生器107として、一定長さの電圧パルス、及びこの電圧パルスに前述した電圧 $V2$ 、或いはパワー $P2$ となるパルスが置換もしくは重畳されたパルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができ

る。

【0176】またパルス幅変調方式を採用した場合は、変調信号発生器107として、一定の波高値の電圧パルス、及びこの電圧パルスに前述した電圧 $V2$ 或いはパワー $P2$ となるパルスが置換もしくは重畳されたパルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0177】シフトレジスタ104やラインメモリ105は、デジタル信号式のものもアナログ信号式のものをも採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。デジタル信号式を用いる場合には、同期信号分離回路106の出力信号 $DATA$ をデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。

【0178】これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。またパルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器、及び発振器の出力する波数を計数する計数器（カウンタ）、及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0179】またアナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0180】このような構成をとり得る本実施の形態の表示パネルを使用した画像表示装置においては、各電子放出素子に、容器外の行端子 $Dox1$ 乃至 $Doxm$ 、列端子 $Doy1$ 乃至 $DoyN$ を介して電圧を印加することにより電子放出が生ずる。また高圧端子 Hv を介してメタルバック85、或は透明電極（不図示）に高圧を印加し、電子を加速する。こうして加速された電子は蛍光膜84に衝突し、発光が生じて画像が形成される。

【0181】ここで述べた画像形成装置の構成は、本実施の形態に適用可能な画像形成装置の一例であり、本実施の形態の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECA

M方式など他、これよりも多数の走査線からなるTV信号(例えば、MUSE方式をはじめとする高品位TV)方式をも採用できる。

【0182】次に、梯子型配置の電子源及びそれを用いた画像形成装置について図14及び図15を参照して説明する。

【0183】図14は、本実施の形態の梯子型配置の電子源の一例を示す模式図である。

【0184】図において、110は電子源基板、111は電子放出素子である。Dx1~Dx10(112)は、電子放出素子111を接続するための共通配線である。ここでは電子放出素子111は基板110上に、x方向に並列に複数個配されている(これを素子行と呼ぶ)。この素子行が複数個配されて電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子を放出させたい素子行には、電子放出閾値(V_{th})以上の電圧を、電子を放出しない素子行には、電子放出閾値以下の電圧を印加する。各素子行間の共通配線Dx2~Dx9は、例えばDx2、Dx3を同一配線とすることもできる。

【0185】図15は、図14に示す梯子型配置の電子源を備えた表示パネル101aの構造の一例を示す模式図である。

【0186】120はグリッド電極、121は電子が通過するため空孔、122はDox1、Dox2、…、Doxmよりなる容器外行端子である。123は、グリッド電極120と接続されたG1、G2、…、Gnからなる容器外端子である。図15においては、前述の図に示した部位と同じ部位には同一の符号を付している。ここに示した表示パネル101aと、図9に示した単純マトリクス配置の表示パネル101との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かにある。

【0187】図15において、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、電子放出素子から放出された電子を変調するためのもので、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子を通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。これらグリッド電極120の形状や、その配置位置は図15に示したものに限定されるものではない。例えば、開口121としてメッシュ状に多数の通過口を設けることもでき、グリッド電極120を電子放出素子の周囲や近傍に設けることもできる。

【0188】容器外行端子122およびグリッド用の端子123のそれぞれは、例えば前述した走査回路102、変調信号発生器107と電気的に接続されている。

【0189】本実施の形態の表示パネル101aでは、素子行を一列ずつ順次駆動(走査)するのに同期して、グリッド電極120の列に画像1ライン分の変調信号を

同時に印加する。これにより、各素子から放出される電子の蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本実施の形態の表示パネル101aを用いた画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピュータ等の表示装置の他、感光性ドラム等を用いて構成された光プリンタとしての画像形成装置等としても用いることができる。

【0190】以下、具体的な例を挙げて本実施の形態を詳しく説明するが、本実施の形態はこれら実施例に限定されるものではなく、本実施の形態の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0191】(実施例1) 本実施例1では、図20に示した電子放出素子を作成した。なお、本実施の形態に係る駆動方法を適用した場合と、比較のために本実施の形態を適用しなかった場合とを比較するために、2つの素子を作成した(それぞれ素子A、素子Bと呼ぶことにする)。各電子放出素子の電子放出特性等について行った実験結果について説明する。

【0192】尚、図中のW1は電極2、3の幅、W2は導電性膜4の幅、Lは電極2、3の間隔、dは電極2、3の厚さを表している。また、素子A及びBそれぞれの形状、構成、作成工程は、後に説明する安定化工程まで同一の形状、構成、工程を用いるので、同工程までは、特に両者を区別せずに説明する。

【0193】以下、本実施例1で用いる各素子の製造方法の手順を示す図21を用いて具体的に説明する。

【0194】(1) 基板1として石英基板を用い、これを洗剤、純水及び有機溶剤を用いて十分洗浄した後、真空蒸着法により、厚さ5nmのTi、厚さ50nmのPtを順次堆積した。その後、電極2、3と電極間ギャップLとなるべきパターンをフォトリソ形成した後、ドライエッチングすることで、電極2、3を作成した。尚、電極2、3の間隔Lは3 μ mである(図21(a))。

【0195】その後、導電性膜4のパターニングの目的でリフトオフ用のCr膜(不図示)を50nmの膜厚で真空蒸着した。このとき、導電性膜4の幅W2に対応するCr膜の開口部分の寸法を300 μ mとした。

【0196】(2) 電極2、3を形成した基板1上に、有機パラジウム溶液(奥野製薬(株)製、ccp-4230)をスピンナーにより回転塗布して放置することにより、有機Pd薄膜を形成した。その後、有機Pd薄膜を300℃で15分間大気中で加熱焼成処理し、主として、PdOからなる導電性膜4を形成した。この導電性膜4の膜厚は約7nmであった。

【0197】その後、Cr膜を酸エッチャントによりウェットエッチングし、導電性膜4をリフトオフすることで所望のパターンを有する導電性膜4を得た(図21(b))。

【0198】(3)次に素子A、Bとも図5の評価測定系の真空装置55内に設置した。その後、素子電圧Vfを印加するための電源51により電極2、3間に電圧を印加して導電性膜4に電流を流し、第一の間隙6を形成(フォーミング処理)した(図21(c))。このフォーミング処理には、基板A、Bとも図4(b)に示した電圧波形を用いた。

【0199】本実施例1では、図4(b)中のT1を1m秒、T2を10m秒とし、0.1Vずつパルス波高値を増加させながらフォーミングを行った。また、フォーミング処理中は、同時に、T2間に0.1Vの抵抗測定用パルスを挿入し、抵抗を測定した。尚、フォーミングの終了は、抵抗測定用パルスでの測定値が約1MΩ以上になった時とし、同時に素子への電圧の印加を終了した。

【0200】(4)引き続き素子A、Bとも真空装置55内に設置したまま、装置内に、アセトンを1.3×10のマイナス3乗[P a]導入し、素子A、Bそれぞれの電極2、3間にパルス電圧を約30分印加して活性化処理を行った。本実施例1では、図22(b)で示したように、矩形波の正電圧パルスと、極性が逆で波形および電圧の絶対値が同じ負電圧のパルスを交互に印加した。尚、T1を1m秒、T2を10m秒とし、パルスの波高値(絶対値)は、素子A、B双方とも15Vとした。

【0201】この工程により、第一の間隙6内および第一の間隙近傍の導電性膜4上にカーボン膜10が形成され、同時に、第一の間隙6よりも幅の狭い第二の間隙7が形成された(図21(d))。

【0202】(5)続いて、真空容器内のアセトンを排気後、素子部及び真空容器全体を150℃で2時間加熱し、真空装置55内を1.3×10のマイナス6乗[P a]とし、安定化工程を行った。

【0203】この安定化工程後も真空度をそのまま維持した状態で、素子A、Bの各電子放出素子の素子電流If、放出電流Ieを測定した。その測定条件は、アノード電極54と電子放出素子間の距離Hを5mm、アノード電極54の電位を1KVとした。

【0204】まず、素子Aに対して、図4(a)に示される波形を用い、パルス幅T1及びパルス間隔T2を、それぞれでT1を0.2m秒、T2を10m秒として、波高値が15Vのパルスを3パルス加え、その時の放出電流Ieを測定した。続いて、パルス幅T1及びパルス間隔T2を、それぞれでT1を0.2m秒、T2を10m秒として、波高値が14Vのパルスを3パルス加え、その時の放出電流Ieを測定した(第1の測定工程)ところ、15Vの波高値のパルスを印加したときと比べて、約40%の値であった。そこで波高値が15Vのパルスを印加する場合には、前記T1の約40%のパルス幅とすれば、1パルス当たりアノード電極54に捕獲

される電荷が、14Vの場合とほぼ等しくなることが確認された。

【0205】次に、素子A、Bについて500時間の特性評価を行った。

【0206】駆動パルス波形は、基板A、B共に、基本的には図4(a)に示される波形を用い、駆動電圧の波高値Vfを14Vとした。また、パルス幅T1及びパルス間隔T2は、それぞれでT1を0.2m秒、T2を10m秒とした。

【0207】尚、素子Aに対しては、素子電流Ifの上昇を素子電流監視コントローラ57により監視した。そして、3%の素子電流の増加を検知したときに、電子放出素子に素子電圧を印加するための電源51に、電圧の波高値が15Vであるパルス1発を、駆動電圧Vfの波高値が14Vのパルスと置き換えて印加するように指令を出して電圧印加した(特性回復駆動)。この15Vの波高値のパルス幅は0.2m秒の40%である0.08m秒とした。

【0208】また、素子Bに対しては、素子Aに対して行った上記の特性回復駆動操作を行わず、波高値が14Vの一定パルスを印加し続けた。尚、素子A、Bに対する素子電流If及び放出電流Ieの測定は、共に14Vの波高値が印加されている時点において測定した。

【0209】上述の実験により、500時間に亘る駆動実験を行ったところ、素子Bでは約50%の素子電流Ifの増加による変動が生じたのに対して、素子Aでは上記駆動の制御範囲内である約3%の変動しか生じなかった。また、これに伴って、放出電流Ieも3%程度の変動に留まり、極めて安定に駆動することができた。

【0210】尚、素子A、B共に、波高値が14Vである場合には、素子電流Ifが増加する特性を有したが、これは有機物質の排除が不完全であるなどの理由によるものと考えられる。

【0211】即ち、本実施の形態の駆動方法によれば、有機物質の排除が不完全であるなどの理由により、素子電流Ifの増加が見られる場合においても、長時間に亘り極めて安定に駆動することが可能である。

【0212】(実施例2)前述の実施例1と同じ工程で安定化工程まで行い、素子Cを作成した。

【0213】安定化工程後も真空度をそのまま維持した状態で、素子Cに電圧を印加することで素子電流If、放出電流Ieを測定した。

【0214】まず、素子Cに対して、図4(a)に示される波形を用い、パルス幅T1及びパルス間隔T2を、それぞれでT1を0.2m秒、T2を10m秒として、波高値が15Vのパルスを3パルス加えた。そして、その時の放出電流Ieを測定した。続いて、パルス幅T1及びパルス間隔T2を、それぞれでT1を0.2m秒、T2を10m秒として、波高値が14Vのパルスを3パルス加え、その時の放出電流Ieを測定した(第1の測

定工程)。その結果、15Vの波高値のパルスを印加したときと比べて、約40%の値であった。そこで波高値が15Vのパルスを印加する場合には、14Vの場合と比較して、約40%のパルス幅とすれば、1パルス当たりにアノード電極54に捕捉される電荷が、14Vの場合とほぼ等しくなることが確認された。

【0215】次に、素子Cについて500時間の特性評価を行った。

【0216】駆動パルス波形は、基本的には図4(a)に示される波形を用い、駆動電圧Vfの波高値を14Vとした。また、パルス幅T1及びパルス間隔T2は、基本的にはそれぞれでT1を0.2m秒、T2を10m秒とした。尚、素子Cに対しては、放出電流Ieの上昇を放出電流監視コントローラ58により監視し、3%の放出電流の増加を検知したときに、電子放出素子に素子電圧を印加するための電源51に、電圧の波高値が15Vであるパルス1発を、駆動電圧Vfの波高値が14Vのパルスと置き換えて印加するように指令を出し、駆動した(特性回復駆動)。この15Vの波高値のパルス幅は0.2m秒の40%である0.08m秒とした。

【0217】尚、素子Cに対する素子電流If及び放出電流Ieの測定は、共に14Vの波高値が印加されている時点において測定した。

【0218】上記500時間に亘る駆動実験を行ったところ、素子Cでは上記駆動の制御範囲内である約3%の放出電流の変動が生じず、極めて安定に駆動することができた。尚、素子Cにおいては、波高値が14Vである場合には、素子電流Ifが増加する特性を有したが、これは、有機物質の排除が不完全であるなどの理由によるものと考えられる。

【0219】即ち、本実施の形態の駆動方法によれば、有機物質の排除が不完全である等の理由により、素子電流Ifの増加が見られ、これに伴い放出電流Ieの増加が見られる場合においても、長時間に亘り極めて安定に駆動することが可能である。

【0220】(実施例3)本実施例3では、図20に示した電子放出素子を複数配置した電子源(図8)を用いて、図9に示したような画像形成装置を作成した。本実施の形態の駆動方法を通用した例を示す。

【0221】複数の電子放出素子74がマトリクス配線された基板71の一部の平面図を図16に示す。本実施例3の画像形成装置の電子源は、図20に示した電子放出素子がマトリクス状に複数個配置されたものである。

【0222】また、図17は、図16のA-A'断面図を示したものである。但し、両図中で同じ番号は同一のものをあらわす。ここで、1は基板、72は図9のDoxmに対応するx方向配線(下配線)の一部、73は図9のDoynlに対応するy方向配線(上配線)の一部、4は導電性膜、2、3は電極、131は層間絶縁層、132は電極3と下配線72との電氣的接続のためのコンタ

クトホールである。

【0223】次に、この製造方法を図18及び図19を参照し、工程順に従って具体的に説明する。

(工程-a) 清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板1上にホトレジスト(RD-2000N:日立化成社製)をスピナにより回転塗布、ベークした後、ホトムスク像を露光、現像して、下配線72のレジストパターンを形成する。その後、真空蒸着により厚さ20nmのCr、厚さ600nmのCu、厚さ50nmのCrを順次積層し、リフトオフによりCr/Cu/Crからなる下配線72を形成する(図18(a))。

(工程-b) 次に厚さ1.0 μ mのシリコン酸化膜からなる層間絶縁層131をRFスパッタ法により堆積する(図18(b))。

(工程-c) 工程bで堆積したシリコン酸化膜にコンタクトホール132を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層131をエッチングしてコンタクトホール132を形成する。エッチングはCF4とH2ガスを用いたRIE(Reactive Ion Etching)法によった(図18(c))。

(工程-d) その後、電極2、3と、電極2、3間のギャップがLとなるべきパターンをホトレジスト(RD-2000N日立化成社製)で形成し、真空蒸着法により、厚さ5nmのTi、厚さ50nmのPtを順次堆積した。このホトレジストパターンを有機溶剤で溶解し、Pt/Ti堆積膜をリフトオフし、電極間隔Lは10 μ mとし、電極の幅W1を200 μ mを有する電極2、3を形成した(図18(d))。

(工程-e) 厚さ5nmのTi、厚さ1 μ mのAuを順次真空蒸着により堆積し、上配線73のホトレジストパターンを形成した後、ウェットエッチングによりAuを、ドライエッチングによりTiの、それぞれ不要の部分を除去して、Au/Tiからなる上配線73を形成した(図19(e))。

(工程-f) 本工程に関わる電子放出素子の導電性膜4のマスクは、電極間ギャップL及びこの近傍に開口を有するマスクであり、このマスクにより膜厚100nmのCr膜133を真空蒸着により堆積・パターンニングし、そのうえに有機Pd(ccp-4230奥野製薬(株)製)をスピナにより回転塗布、300℃で10分間の加熱焼成処理をした(図19(f))。また、こうして形成された主元素としてPdよりなる導電性膜4の膜厚は10nm、シート抵抗値は5 \times 10の4乗[Ω /□]であった。

(工程-g) Cr膜133および焼成後の導電性膜4を酸エッチャントによりエッチングして所望のパターンを形成した(図19(g))。

(工程-h) 全面にレジストを塗布して、マスクを用いて露光の後現像し、コンタクトホール132部分のみレ

ジストを除去した。この後、真空蒸着により、厚さ5 nmのTi、厚さ1 μmのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去することにより、コンタクトホール132を埋め込んだ(図19(h))。

【0224】以上の工程により、絶縁性基板1上に、複数の導電性膜が、下配線72と上配線73により単純マトリクス配線された、フォーミング前の電子源基板71を形成した。

【0225】続いて、上記電子源を用いて画像形成装置(フラットパネルディスプレイ)を作成した。この作成手順を図9及び図10を参照して以下に説明する。

(工程-i) フェースプレート86を、以下のように作成した。洗浄化されたガラス基板83上に、スパッタリング法により酸化スズ-酸化インジウム(ITO)薄膜を作成し、(不図示)その上に、印刷法により蛍光膜84を作成した。このITO薄膜は後述するように、電子放出素子からの放出電子を引き出すために電位を与えるためのものである。尚、蛍光膜84は、ストライプ状の蛍光体(R, G, B)92と黒色導電材(ブラックストライプ)91とが交互に配列された図10(a)に示される蛍光膜とした。更に、この蛍光膜84の作成後、その蛍光膜84の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、蛍光膜84の上に、Al薄膜からなるメタルバック85をスパッタリング法により50 nmの厚さになるように成膜した。以上の工程により、フェースプレート86を作成した。

(工程-j) 多数のフォーミング前の電子放出素子を作成した電子源基板71を固定してリアプレート81とした後、電子源基板71の約5 mm上方に、フェースプレート86を支持枠82を介して配置し、フェースプレート86、支持枠82、リアプレート81の接合部にフリットガラスを塗布し、大気中で400℃で10分焼成することで封着した。尚、この封着を行うにあたり、カラー表示を正しく再現するため、各色蛍光体と電子放出素子との十分な位置合わせを行った。

【0226】続いて外囲器内の電子放出素子などに施す処理について説明する。

(工程-k) 以上のようにして完成した外囲器88を、図11に示したような真空排気装置に接続し、外囲器88内の雰囲気排気管132を通じ真空ポンプにて排気した。

【0227】尚、図11において、表示パネル101は排気管132を介して真空チャンバ133に接続され、この真空チャンバ133には排気装置135が接続されており、その間にゲートバルブ134が設けられている。また、この真空チャンバ133には圧力計136、四重極型質量分析器(Q-MS)137が取り付けられており、内部の圧力および、残留ガスの各分圧をモニターすることができる。外囲器88内の圧力は直接測定する

ことが困難なので、真空チャンバ133の圧力とガス分圧を、便宜上、外囲器内の圧力(或はガス分圧)とみなしている。排気装置135はソーブションポンプとイオンポンプとからなる超高真空用排気装置である。真空チャンバ133には、複数のガス導入装置が接続されており、図では導入物質源140を入れるボンベ或はアンブル、およびガス導入制御装置(電磁弁など)139、ガス導入ライン138は1種類ずつしか描かれていないが、実際には複数のガス導入経路が確保され、数種類のガスを外囲器内に導入することができる。ガス導入制御手段139は、導入物質の種類、流量、必要な制御精度などに応じて、電磁弁、ニードルバルブ、マスフローコントローラ、スローリークバルブなどが用いられる。

【0228】このようにして外囲器88を排気装置135で排気し、十分な真空度に達した後、外囲器外端子Dxo1乃至DoxmとDoy1乃至DoyNを通じ電子放出素子74の電極2、3間に電圧を印加し各導電性膜4に電流を流した。この工程により、各導電性膜4の一部に間隙6が形成された(フォーミング処理を行なった)。フォーミング処理の電圧波形は、図4(b)に示すような矩形波パルスで、波高値を徐々に上昇させた。本実施例ではT1を1 m秒、T2を10 m秒とし、三角波パルス間に、波高値0.1 Vの矩形波パルスを挿入して電流を測ることを選択した配線の抵抗を測定した。そして、抵抗値が1素子あたり1 MΩを超えたところで選択ラインのフォーミング処理を終了し、次の配線に同様の処理を施した。このような手順で、フォーミング処理をすべての配線(即ち電子放出素子)に対して行った。

(工程-l) 次に、導入物質源140よりアセトンを通じスローリークバルブを通して外囲器内に導入し、1.3 × 10のマイナス3乗[Pa]を維持した。前述実施例1と同様に、パルス波形は矩形波で、波高値1.5 Vのパルスを選択ラインに印加した。本実施例3では、素子電流Ifを測定しながら、活性化処理を行った。以上のようにフォーミング、活性化処理を行い、電子源基板を作成した。

(工程-m) 続いて安定化処理を行った。安定化処理は、外囲器88全体を約200℃で2時間加熱しながら真空排気することで行った。

(工程-n) 次に、排気管をガスバーナで熱することで溶着し外囲器の封止を行った。

【0229】最後に、封止後の真空度の維持を更に確実にするため、フェースプレート86側の画像表示領域外に設けられたBaゲッターを高周波加熱法で蒸発させた。

【0230】以上のように完成した本実施例の画像表示装置において、不図示の信号発生手段から容器外端子Dxi1乃至Dxmを通じて走査信号を各電子放出素子に印加し、またDyi1乃至DyNを通じて変調信号を各電子放出素子に印加することにより、電子を放出させた。

【0231】そして同時に、高圧端子Hvを通じ、メタルバック85、或は透明電極(ITO)に数KV以上の高圧を印加し、放出された電子を加速し、蛍光膜84に衝突させ、励起・発光させることで画像を表示した。

【0232】次に本実施例3の駆動方法を行った。

【0233】まず、各電子放出素子に印加される電圧パルスの波高値を15Vとして、全素子が順次駆動されるように、容器外端子Dx1乃至Dxmに接続される電子放出素子群の各ラインを順次駆動し、その時の放出電流の最大値を測定した。続いて、波高値を14Vとして上記と同様に放出電流の最大値を測定した(第一の測定工程)ところ、各ラインとも、15Vとしたときの約40%であった。そこで波高値が15Vのパルスを印加する場合には、14Vの場合と比較して、約40%のパルス幅とすれば、単位時間当たりにアノード電極に捕獲される電荷がほぼ等しくなることが確認された。続いて、300時間の特性評価を行った。

【0234】この場合のパルス波形は矩形波を用い、基本的には駆動電圧Vfの波高値を14Vで一定とし、パルス幅を変えることで階調表示を行った。また、放出電流Ieの上昇は、放出電流監視コントローラ58により監視し、最大で3%以上の放出電流の増加を検知したときに、波高値が15Vであるパルス1発を、駆動電圧Vfの波高値が14Vのパルスと置き換えて各素子に印加した(特性回復駆動)。この15Vの波高値のパルス幅は14Vのパルス印加時の40%である。このため、表示される画像に輝度バラツキなどを発生させずに、特性回復駆動を行うことができる。尚、放出電流Ieの測定は、14Vの波高値が印加されている時点において測定した。

【0235】上記300時間の特性評価の結果、放出電流の時間変化が小さく、良好な画像が表示された。

【0236】(実施例4)本実施例4では、フラットパネルディスプレイを作成した。尚、本実施例のフラットパネルディスプレイを構成する表示パネル101は、前述の実施例3(工程-aから工程-n)と同様に作成した(図9)。

【0237】以下に、本実施例4での駆動方法を説明する。本実施例4の駆動回路を図23に示す。本図において図13に示した基本駆動回路と同一の部品については同じ番号を付与してある。

【0238】図中、101は前述の表示パネルで、端子Dox1からDoxm及びDoy1からDoynを介して外部の電気回路と接続されている。またフェースプレート上の高圧端子Hvも外部の高圧電源Vaに接続されている。このうち端子Dox1からDoxmには前述のパネル内に設けられているマルチ電子源、即ち、m行n列の行列状にマトリックス配線された電子放出素子群を1行ずつ順次駆動してゆくための走査信号が印加される。一方、端子Doy1からDoynには前記走査信号により選択された一行の電子

放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。

【0239】次に、走査回路102について説明する。同回路は、内部にm個のスイッチング素子を備えるもので、各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V](グラウンドレベル)のいずれか一方を選択し、表示パネル101の端子Dox1ないしDoxmと電気的に接続するものである。各スイッチング素子は、制御回路103が出力する制御信号Tscanに基づいて動作するものだが、実際には例えばFETのようなスイッチング素子を組み合わせる事により容易に構成する事が可能である。

【0240】尚、前記直流電圧源Vxは、本実施例4の場合には前記図6で例示した表面伝導型放出素子の特性(電子放出閾値電圧Vthが実際には8[V]であった)にもとずき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるよう、7[V]の一定電圧を出力するよう設定されている。

【0241】引き続き入力された画像信号の流れについて説明する。

【0242】入力されたコンポジット画像信号をデコーダ110で3原色の輝度信号及び水平、垂直同期信号(ここでは説明の都合上、両者を併せて同期信号Tsyncとして表した)に分離される。また、制御回路103は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる働きをもつものである。この同期信号Tsyncに基づいて、各部に対してTad、Tps、TscanおよびTsftおよびTmry及びTmod、Tv'、Tv、Tmesの各制御信号を発生する。

【0243】一方、3原色の輝度信号は、ADC(アナログデジタル変換器)111に入力されて、サンプリングクロックTadによるタイミングでそれぞれ8ビットのデジタル信号に変換される。この時のビット数は、表示する画像の必要な階調数(色数)に応じて決められるもので本実施例4においては、RGB各色256階調(約1670万色)を実現するため8ビットに決定した。こうして変換されたデジタルの輝度信号は、前述のフェースプレート上の蛍光体の画素配列に応じた順番に変換されるためにP/S(パラレル/シリアル)変換回路112に入力される。シリアル変換されたデータ(8ビット)は、乗算切り換え回路115を通してシフトレジスタ104に入力される。この乗算切り換え回路115については後述する。

【0244】シフトレジスタ104は、時系列的にシリアルに入力される前記デジタル信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する(即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであると言い換えても良い)。シリアル/パラレル変換された画像1ライン分

(電子放出素子 n 素子分の駆動データに相当する)のデータは、 $ld1$ ないし ldn の n 個の並列信号として前記シフトレジスタ104より出力される。

【0245】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶部であり、制御回路103より送られる制御信号 $Tmry$ に従って適宜 $ld1$ ないし ldn の内容を記憶する。これら記憶された内容は、 $ld'1$ ないし $ld'n$ として出力されパルス幅変調回路106に入力される。

【0246】パルス幅変調回路107は、前記画像データ $ld'1$ ないし $ld'n$ の各々に応じた時間幅のパルスを発生するためのものであり、その出力は端子 $ld'1$ ないし $ld'n$ を通じてスイッチ108のゲートに接続される。そして、制御回路103からのタイミング信号 $Tmod$ に合わせて、データに応じたパルス幅の電圧信号を出力する。この内部の構成を図24を用いて説明する。401はダウンカウンタで、列配線数分 n 個が並んでおり、データ入力端子はそれぞれラインメモリ105からのデータ線 $ld'1$ 〜 $ld'n$ に接続されている。また、データロード端子LDは共通配線され、制御回路103からの信号 $Tmod$ に接続されている。これにより $Tmod$ のタイミングに合わせてカウントダウンデータが $ld'1$ 〜 $ld'n$ よりロードされる。カウンタのクロックclkもやはり共通配線されており、内部のカウントダウンクロック発生回路402のクロック出力Pclkに接続されている。また、クロック発生回路402のクロックは $Tmod$ によりリセットされて発生する。Pclkの周波数は、 $Tmod$ 信号のカウンタのカウント数倍(本実施例4に於いては8ビットカウンタのため256)以上が必要であるが、本実施例4に於いては各選択切り替え時間を考慮して260倍に設定した。これらの設定によりダウンカウンタ401は、信号 $Tmod$ のタイミングによりデータがロードされると同時にカウンタクロックPclkによりカウントダウンされ、そのカウント値が“0”になった時にclr信号が真(5V)になる。この信号はスイッチ108のゲート端子により電圧源の出力をスイッチすることになるので、この時刻に対応する列配線への電圧の印加がされることになり、パルス幅変調が実現される。

【0247】次に、電圧源109は、パルス幅変調を行う波高値を出力するものである。そして、本実施例4においては、後述する様に制御回路103からの切り換え信号 Tv により、2種類の電圧値を切り換えて出力することができる。

【0248】また、初期電流メモリ113は、後述するように初期状態の放出電流 Ie を記憶するためのもので、制御回路103により m 行分の値が読み書きされる。

【0249】また、放出電流測定回路114は、制御回路103から出力される測定タイミング $Tmes$ に対応して各走査ラインの放出電流を測定し、制御回路103に

デジタル値として、その測定値を送信する。

【0250】図25は、放出電流測定回路114の構成を示す回路図である。

【0251】図中、2501は検出抵抗で、高圧電源 V_a と高圧端子 Hv との間に配置され、流れる電流に応じて電位差を発生する。2502はアイソレーションアンプで、検出抵抗2501の両端に発生する電圧を適当なゲインで増幅し、更に高電圧が直接A/D変換器2503及び制御回路103に導通しないように絶縁するためのものである。こうして高圧と絶縁されたアナログ電流値は、A/D変換器2503に入力されて $Tmes$ のタイミングに応じてA/D変換され、そのデジタル値が制御回路103に出力される。

【0252】以上、駆動回路の構成各部の働きについて説明したが、次に本発明の実施例の実現法について説明する。

【0253】まず、各電子放出素子に印加される電圧パルスの波高値を15Vとして、全素子が順次駆動されるように、容器外端子 $Dox1$ 乃至 $Doxm$ に接続される電子放出素子群の各ラインを順次駆動し、その時の放出電流の最大値を測定した。

【0254】この測定を実施するには、図23に示した駆動回路を用いて行うことができる。つまり、電圧源109は、通常-7Vを各列配線 $Doy1$ 〜 $DoyN$ に出力しているが、15V測定時には-8Vに切り換えることにより、各素子への印加電圧を通常の14V(駆動電圧 V_f)より上昇させることができる。

【0255】これを実現するための実際の電圧源109の構成を図26に示す。

【0256】2601はバッファアンプで、各列配線に接続されている。バッファアンプ2601は、入力電圧と同じ電圧をそのまま出力するものであるが、各素子を駆動するのに必要な電流を出力でき、逆にスイッチ108がグランドに切り換わったときには、加熱しないように電流制限機能を持つものである。これらバッファアンプは具体的にはオペアンプなどで構成される。これらバッファアンプの入力は各列とも短絡されて電圧スイッチ2602に接続されている。

【0257】電圧スイッチ2602は、制御回路103からの信号 Tv によって制御される。通常は-7Vの電源に接続されるが、15V測定時には-8V電源に接続される。ここで前述のように走査回路電源 Vx が7Vに設定されているため、素子に印加される電圧は15Vになる。制御回路103は、この時の走査ライン毎の放出電流を、前述の放出電流測定回路114を用いて測定し、初期電流メモリ113に一時的に記憶しておく。

【0258】続いて、波高値を14Vとして(この時は電圧源109の出力電圧を-7Vに戻す)、上記同様に放出電流の最大値を測定し、前述の記憶した15V測定値と比較したところ、各ラインとも、15Vとしたとき

の約40%であった。そこで波高値が15Vのパルスを押加する場合には、14Vの場合と比較して、約40%のパルス幅とすれば、単位時間あたりにアノード電極に捕獲される電荷がほぼ等しくなることが確認された。

【0259】そして、この14Vにおける測定値を本来の放出電流値として初期電流メモリ113に記憶した(第1の測定工程)。

【0260】以上説明したように本実施例4では、実際の駆動回路をそのまま用いて初期放出電流値を測定したが、専用の検査装置を設けて測定しその値を駆動回路のメモリに書き込んでもよい。

【0261】続いて、実際の画像表示を行った。

【0262】本実施例4の駆動パルス波形は矩形波を用い、基本的には駆動電圧Vfの波高値を14Vで一定とし、パルス幅を変えることで階調表示を行った(パルス幅変調)。

【0263】実際の表示駆動時の動作について、図27に示したフローチャートに基づいて説明する。

【0264】駆動が開始されると、まず、放出電流の測定時刻になるまで時間待ちのループに入る(S1)。そして、測定時刻になった場合は、各走査ライン毎の放出電流Ie1~Iemを測定する(S2:第2の測定工程)。この測定が終わったら、電流比較ループのカウンタkを“1”にリセットし(S3)、各ラインの放出電流値Iekを、初期電流メモリ113に記憶された初期放出電流Iedkと比較する。本実施例4では、測定のばらつき、過度の高電圧Vfによる駆動を防ぐために、初期放出電流Iedkの3%増した値と比較した(S4)。ここで放出電流Iekが、Iedkの3%増した値と比較して大きい場合にはステップS5に進み、kライン目の電圧切り換えフラグをオンにする。ステップS4で、放出電流IekがIedkの3%増した値よりも小さいか、或いはステップS5を実行した後はステップS6に進み、カウンタkの値をインクリメントし、ステップS7でその計数値kが「m」を超えていたら電流比較が終了したと判断してステップS8に進むが、計数値kが「m」を超えていなければステップS7に進んで比較を続ける。

【0265】比較が終了した場合はステップS8で、次のフレームの駆動時に電圧切り換えフラグに従って駆動を行う(特性回復駆動)。より具体的には、制御回路103は、駆動走査ライン毎に電圧切り換えフラグをチェックして、フラグがオンの場合は、Tv'信号により乗算切り換え回路115を切り換えてP/S変換回路112からのデータに“0.4”を乗じた値をシフトレジスタ104に出力する。つまり、乗算切り換え回路115は通常の駆動時にはP/S変換回路112からのデータをそのまま出力しているが、Tv'信号がきたときだけ“0.4”倍の出力を出すものである。これと共に制御回路103は、Tv信号により前述の電圧源109の電圧を「-8V」に切り換える。これらの動作により駆動

電圧を上げて駆動しても、パルス幅を下げることで所望の階調を乱すことなく特性回復駆動を行うことができる。

【0266】このようにしてステップS9に進み、1フレームだけ電圧切り換えフラグに応じた駆動を行った後、フラグをリセットし、ステップS10で駆動が終了でなければ通常駆動に戻り、測定待ちループに戻る。

【0267】以上説明した駆動により、長時間の駆動において輝度の変動や、劣化が非常に少ない高品位の画像が実現できた。

【0268】以上説明したように本実施例によれば、有機物質の排除が不完全であるなどの理由により、長時間駆動しているうちに放出電流や素子電流が上昇する素子特性の変動を効果的に抑制し、長時間に亘り放出電流や素子電流を安定化させることが可能である。

【0269】またこれと同時に、必要に応じて駆動電圧Vfよりも高い電圧V2を押加するので、素子特性の劣化を極力抑えることも可能である。

【0270】

【発明の効果】以上説明したように本発明によれば、電子放出素子の電子放出特性の劣化を防止できるという効果がある。

【0271】また本発明によれば、電子放出素子への所定の印加電圧に対する素子電流或は放出電流特性の変動を抑えて、長期に亘り安定した電子放出特性を維持できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電子放出素子の構成の一例を示す模式図で、(a)は上面図、(b)は断面図である。

【図2】本実施の形態に係る電子放出素子の構成の別の一例を示す模式図である。

【図3】本実施の形態の電子放出素子の製造方法の一例を説明する図である。

【図4】本実施の形態の電子放出素子の製造に際して採用できる通電フォーミング処理における電圧波形の一例を示す図である。

【図5】本実施の形態に係る測定評価機能を備えた真空処理装置の一例を示すブロック図である。

【図6】本実施の形態の電子放出素子における、放出電流Ie、素子電流Ifと素子電圧Vfの関係の一例を示すグラフ図である。

【図7】本実施の形態に係る素子電流コントローラにおける処理を示すフローチャートである。

【図8】電子放出素子をマトリクス配置した電子源の一例を示す平面図である。

【図9】本実施の形態に係る表示パネルを一部破断して示す外観斜視図である。

【図10】本実施の形態に係る蛍光膜の蛍光体の配置例を示す模式図である。

【図11】本実施の形態に係る表示パネルのフォーミング及び活性化工程を行うための真空排気装置の構成を示す図である。

【図12】本実施の形態の表示パネルのフォーミング、活性化工程のための結線方法を示す図である。

【図13】本実施の画像表示装置における表示パネルの駆動回路の一例を示すブロック図である。

【図14】本実施の形態の梯子配置の電子源の一例を示す図である。

【図15】図14の電子源を用いた表示パネルの一例を、一部破断して示す外観斜視図である。

【図16】本実施の形態に係る単純マトリクス配置の電子源の部分平面図である。

【図17】図16のA-A'の断面図である。

【図18】図16に示す電子源の製造工程を説明するための断面図である。

【図19】図16に示す電子源の製造工程を説明するた

めの断面図である。

【図20】カーボン膜を形成した電子放出素子の一例を示す模式図である。

【図21】カーボン膜を形成した電子放出素子の製造工程を示す模式図である。

【図22】活性化工程で素子に好ましく印加されるパルス状電圧波形の一例を示す図である。

【図23】本実施の形態に係る画像形成装置の駆動回路の一例を示すブロック図である。

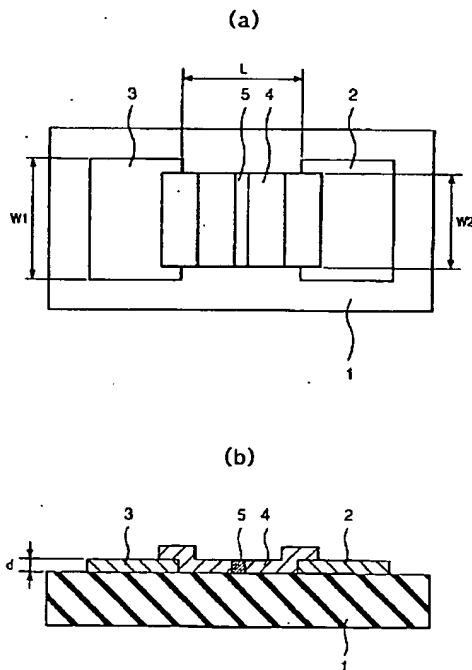
【図24】本実施の形態に係るパルス幅変調回路の一例を示すブロック図である。

【図25】本実施の形態に係る放出電流を測定する回路の一例を示すブロック図である。

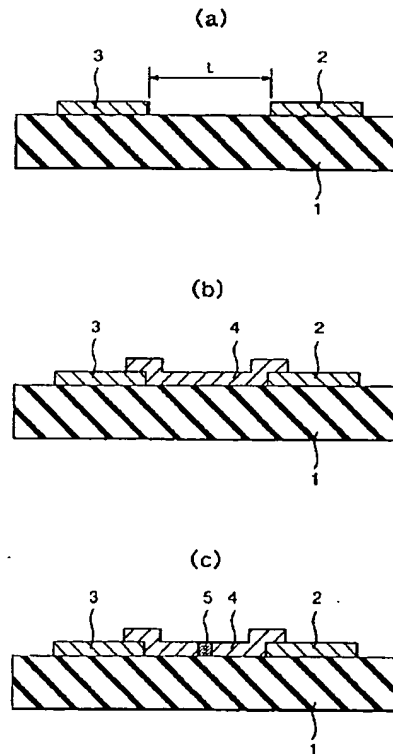
【図26】電圧源の構成の一例を示すブロック図である。

【図27】本実施の形態に係る表示駆動方法の一例を示すフローチャートである。

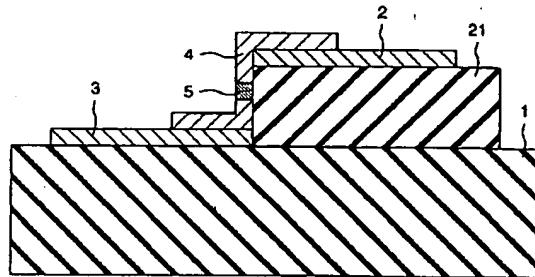
【図1】



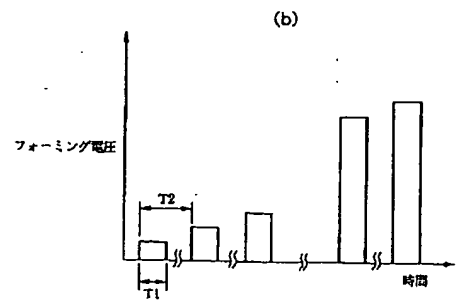
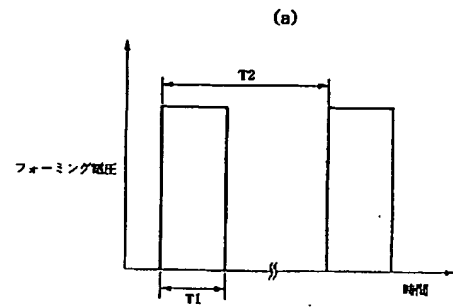
【図3】



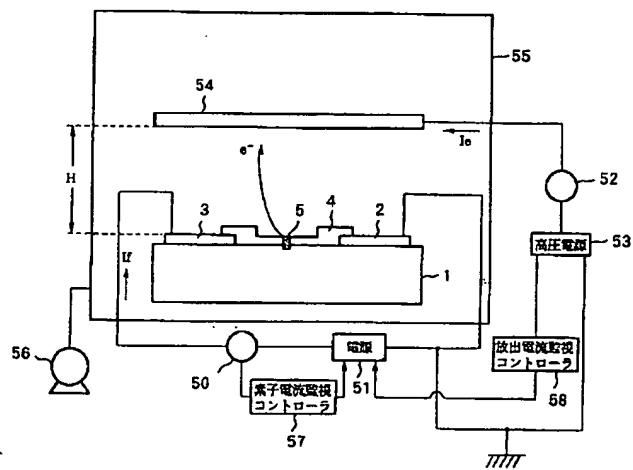
【図2】



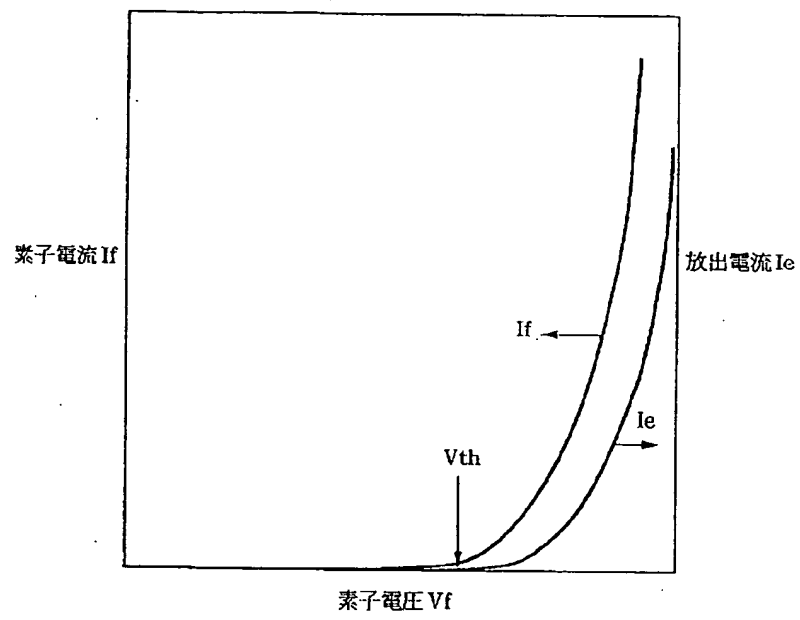
【図4】



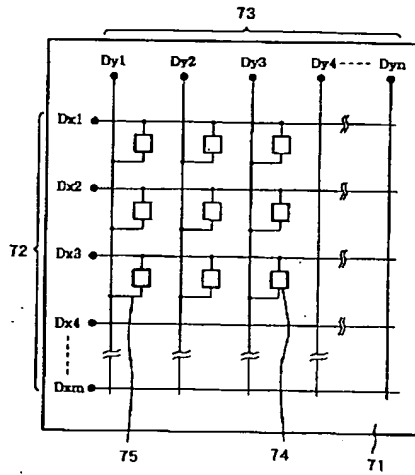
【図5】



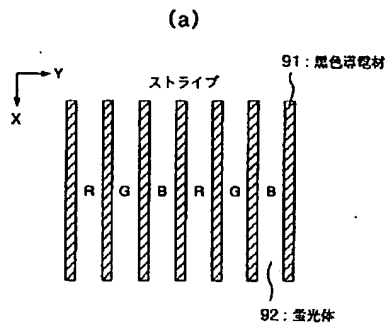
【図6】



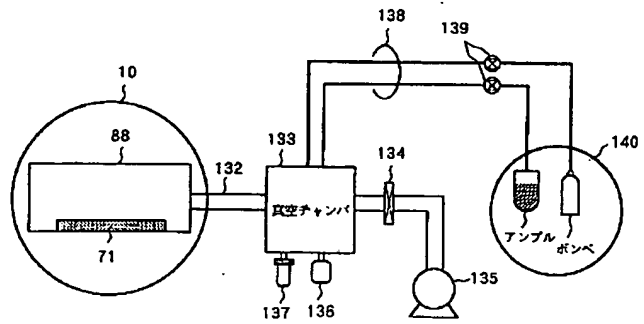
【图8】



【図10】

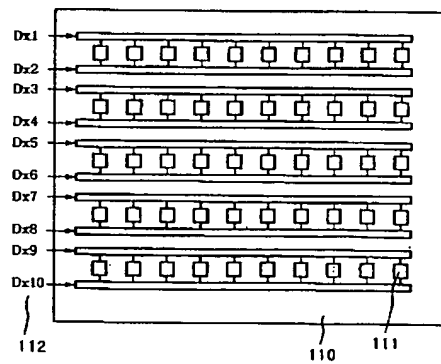
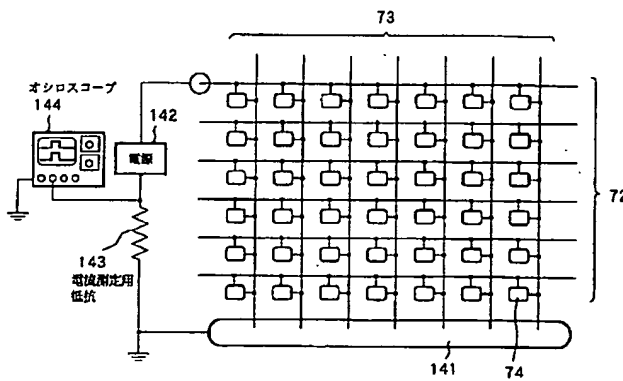


【図11】

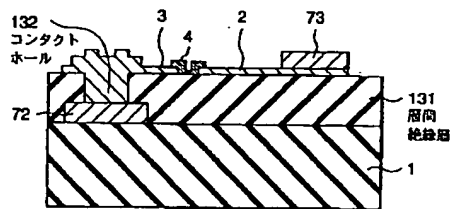


【図14】

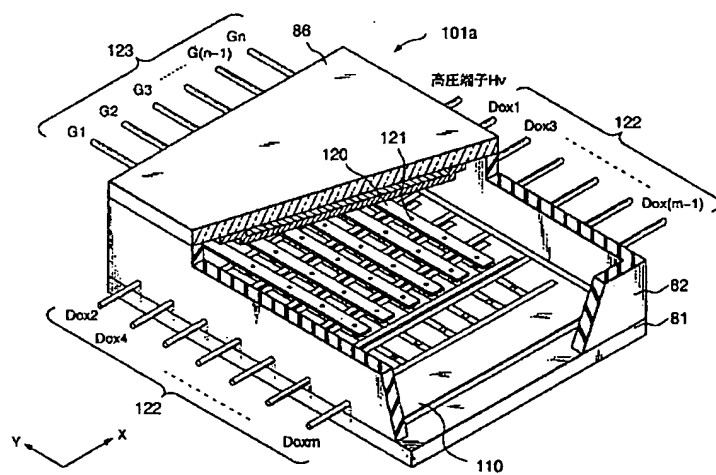
【図12】



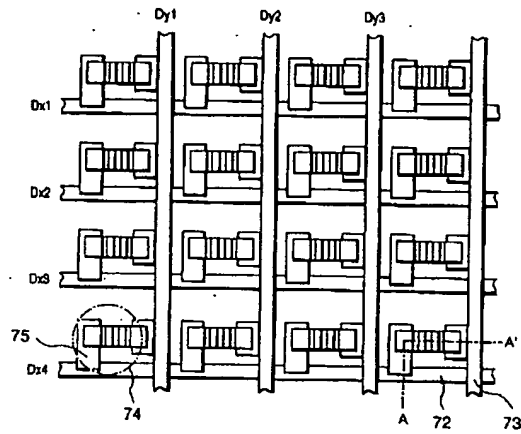
【圖 17】



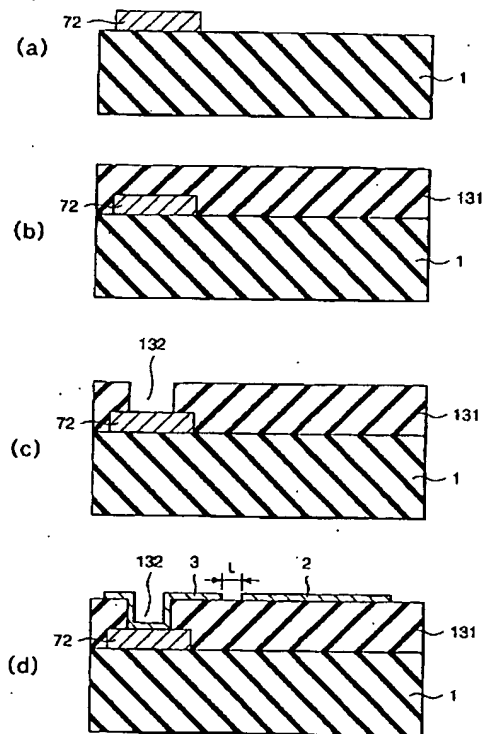
【图 15】



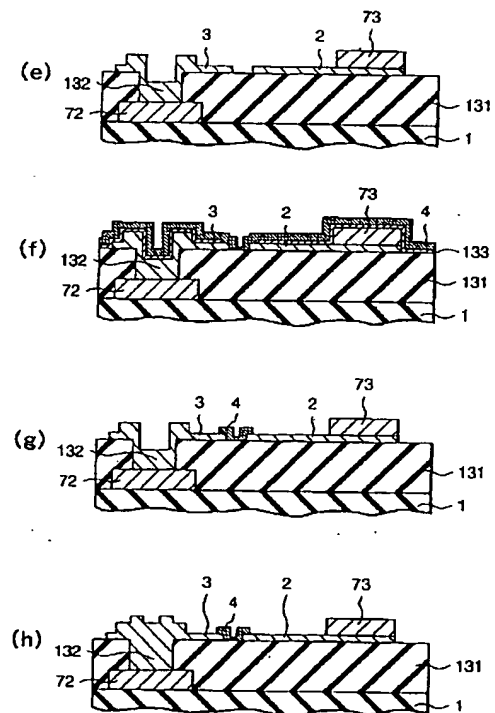
【図16】



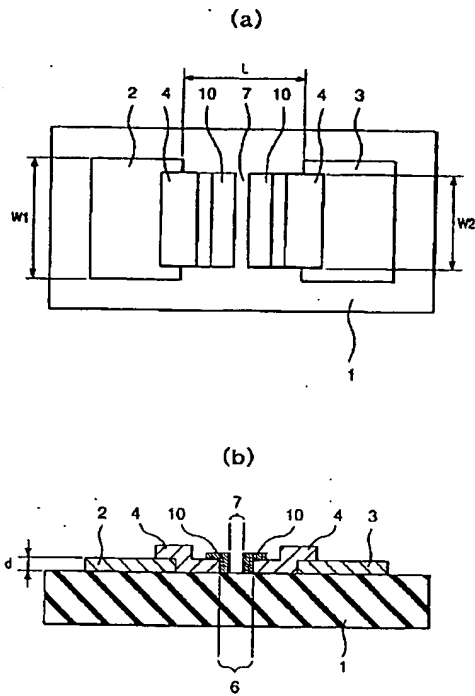
【図18】



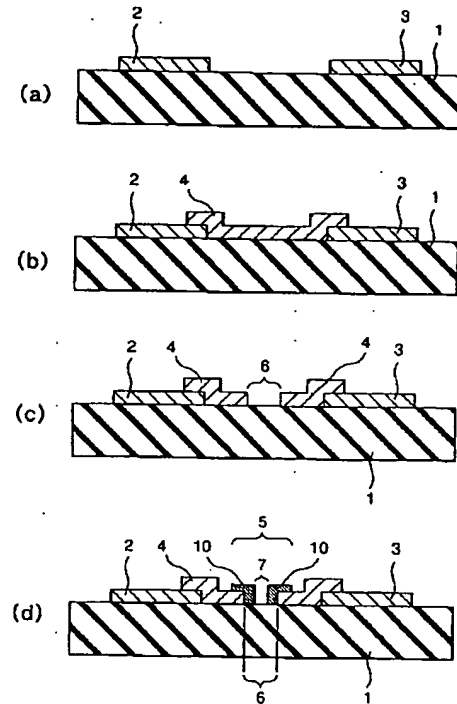
【図19】



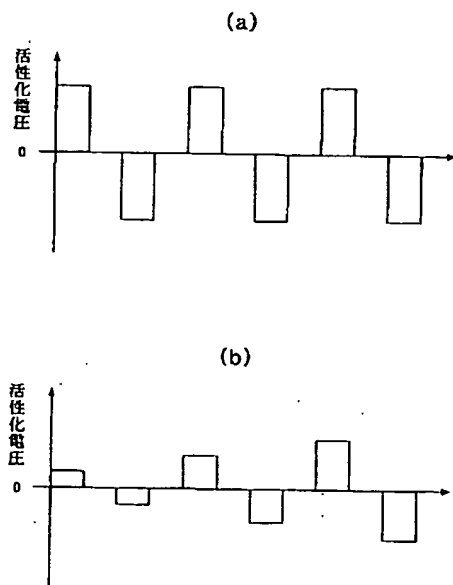
【図20】



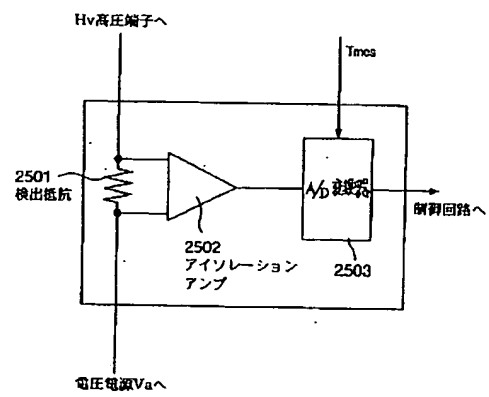
【図21】



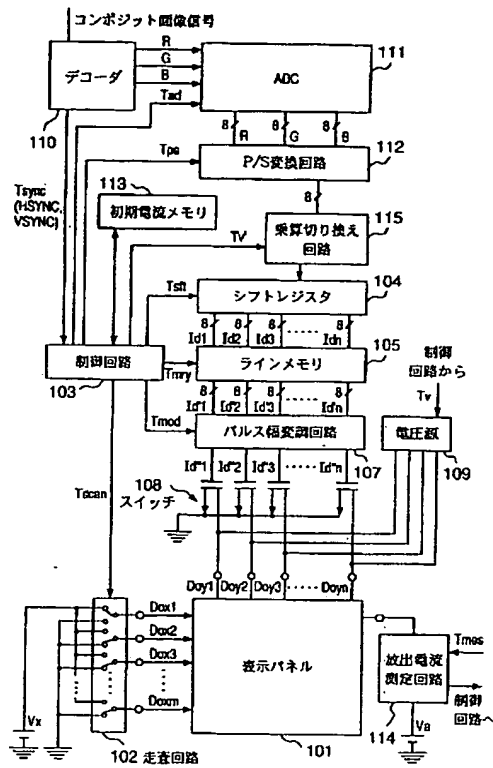
【図22】



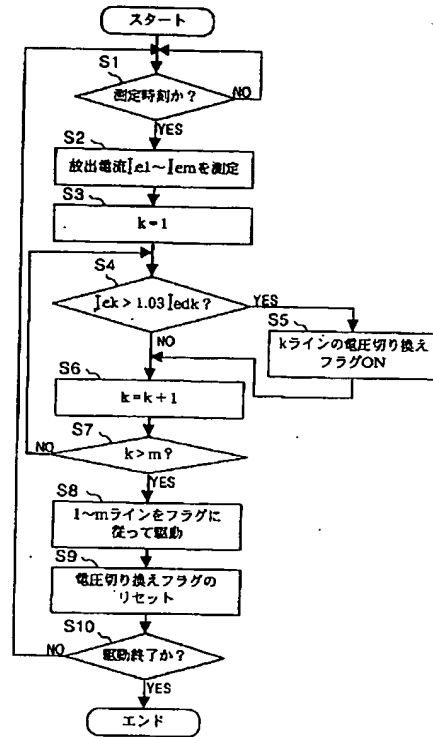
【図25】



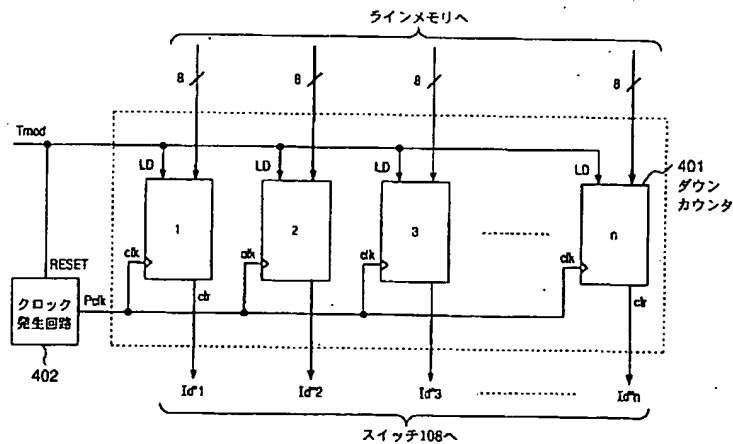
【図23】



【図27】



【図24】



【図26】

